

LKV-510

HW 사용자 설명서

Board Rev. 2.0

2009년 03월 11일



알 림

여기에 실린 내용은 제품의 성능 향상과 신뢰도의 증대를 위하여 예고없이 변경될 수도 있습니다.

여기에 실린 내용의 일부라도 엘케이일레브의 사전 허락없이 어떠한 유형의 매체에 복사되거나 저장될 수 없으며 전기적, 기계적, 광학적, 화학적인 어떤 방법으로도 전송될 수 없습니다.

㈜엘케이일레브

경기도 성남시 중원구 상대원동 191-1 SKn테크노파크 메가동 1306호

LKV-510은 ㈜엘케이일레브의 등록상표입니다.

Document Title: LKV-510 HW 사용자 매뉴얼

16 Channels differential Analog Input

8 Channels Analog Output

2 Channels Digital in/out board

DSP: TMS320VC33PGE-150

Revision History:

<u>Rev. No.</u>	<u>History</u>	<u>Draft data</u>	<u>Remark</u>
Rev 0.0	Initial Release	May/25/2002	Preliminary
Rev 1.0	HW Revision	Jun/22/2002	
Rev 2.0	Release to Final Manual	Jan/31/2007	Secondary

차 례

알	림	2
1. 소개		11
1.1. 사양		11
1.1.1. ANALOG 입력		11
1.1.2. ANALOG 출력		11
1.1.3. Digital 입력		12
1.1.4. Digital 출력		12
1.1.5. DSP (TMS320vc33-150)		12
1.1.6. 외부 메모리		13
1.1.7. 시리얼 포트		13
1.1.8. EEPROM		13
1.1.9. VME INTERFACE		13
1.1.10. ISOLATION		14
1.1.11. FRONT PANEL		14
1.1.12. Analog/Digital 입/출력 Signal Connection.....		14
2. 하드웨어 구조		15
2.1. 블록도		15
2.2. 블록별 기능		15
2.2.1. Analog 입력		15
2.2.1.1. Analog 입력 범위		15
2.2.1.2. Analog 입력 필터		16
2.2.1.3. ADC (Analog to Digital Converter) Control & Timing		17
2.2.2. 아날로그 출력		17
2.2.2.1. 아날로그 출력 범위		17
2.2.2.2. Digital to Analog Converter Control and Timing		18
2.2.2.3. Digital 입력		18
2.2.3. Digital 출력		20
2.2.4. Built In Test Reference		20

2.2.5. VME 버스 Interface	21
2.2.6. EEPROM	21
2.2.7. 절연	21
3. 하드웨어 메모리 MAP	22
3.1. VME 버스 마스터에 의해서만 접근 가능한 영역.....	24
3.1.1. CSRABV (Control Status Register Accessed By VME)	24
3.1.1.1. VISIDR (VME Interrupt Status/ID Register)	24
3.1.1.2. VGPIOR (VME General Purpose Input/Output Register)	25
3.2. DSP 에 의해서만 접근 가능한 영역.....	27
3.2.1. EPROM	27
3.2.2. UART	27
3.2.3. External SRAM	27
3.2.4. ADIDPR (ADC Input Dual-Port-RAM)	27
3.2.5. DCSRABD (DAC & Control Status Register Accessed By DSP).....	28
3.2.5.1. DACOUTRx	29
3.2.5.2. DCDAPR (DAC & Control Data Access Point Register)	29
3.2.5.3. DIMASKR (DSP Interrupt Masking Register)	30
3.2.5.4. DIPENDR (DSP Interrupt Pending Register)	31
3.2.5.5. EPWDR (EEPROM Write Data Register)	32
3.2.5.6. EPAOR (EEPROM Address & OPCODE Register)	32
3.2.5.7. EPRDR	33
3.3. VME 와 DSP 공유 영역	34
3.3.1. CSRABA (Contol & Status Register Accessed By All).....	34
3.3.1.1. BIDR (Board Identification Register)	34
3.3.1.2. SCTR (Scan Time Register)	34
3.3.1.3. ABCR (ADC & Bit Control Register)	35
3.3.1.4. VIMASKR (VME Interrupt Masking Register)	37
3.3.1.5. VIPENDR (VME Interrupt Pending Register).....	38
3.3.1.6. DGPIOR (General Purpose Input/Output Register)	39
3.3.2. ADODPR (Analog to Digital Output Dual-Port-RAM).....	40
3.3.3. DCDDPR (DAC & Control Data Dual-Port-RAM)	41
3.3.3.1. DAC CHx Data	41
3.3.3.2. SCTD (Scan Time Data)	41
3.3.3.3. ABCD (ADC & Bit Control Data)	42
3.3.3.4. VIMASKD (VME Interrupt Masking Data)	42

3.3.3.5. DGPIOD (DSP General Purpose Input/Output Data)	42
3.3.4. GSPRAM (General Single-Port-RAM)	43
3.3.5. GDPRAM2 (General Dual-Port-RAM2)	43
4. 하드웨어 설정	44
4.1. 외형도 및 주요 부품 배치도.....	44
4.1.1. Connector 및 Jumper Header 위치	45
4.1.2. 전면판	46
4.2. 스위치 설정.....	48
4.2.1. SW1 VME 쇼트 어드레스 디코드 설정	48
4.2.2. SW2 보드 리셋	48
4.3. 점퍼 설정.....	49
4.3.1. JP1 VME 표준 어드레스 디코드 설정.....	49
4.3.2. JP4 VME IRQ 레벨 설정	50
4.3.3. JP5 VME SYSRESET# 사용 여부 설정	50
4.3.4. JP6 예약.....	51
4.3.5. JP7 FPGA Configuration 포트	51
4.3.6. JP9 예약.....	51
4.3.7. JP10.....	51
4.3.8. JP11 DSP Serial boot 포트	51
4.3.9. JP12 FPGA JTAG 포트	51
4.3.10. JP14 mezzanine 예약.....	51
4.3.11. JA1~16.....	52
4.3.12. JB1~16.....	53
4.3.13. JC1~16.....	53
4.3.14. JD1 전류 feedback 의 전압 변환 범위 설정.....	53
4.3.15. JE1, JE2 ADC 입력 전압 범위 설정.....	54
4.3.16. JF1, JF2 DAC 출력 전압 범위 설정.....	55
4.3.17. JH1, JH2 DAC 초기화 값 설정	56
4.3.18. JI1 Analog Out Voltage or Current 출력 설정	57
4.4. 커넥터.....	58
4.4.1. CON1	58
4.4.2. CON2 입출력 커넥터	58
4.4.3. CON4 RJ45 시리얼 커넥터.	60
5. 인터럽트 사용.....	61

5.1. VME 버스 인터럽트의 사용.....	61
5.1.1. VME 인터럽트를 위한 이벤트	62
5.2. DSP 인터럽트의 사용.....	63
5.2.1. 외부 인터럽트(EINT0~EINT3).....	63
5.2.1.1. EINT0	63
5.2.1.2. EINT1	64
5.2.1.3. EINT2	64
5.2.1.4. EINT3	64
5.2.2. 타이머 인터럽트(TINT0, TINT1)	64
6. LKV-510 INSTALL.....	65
6.1. 초기화.....	65
6.2. Consol 커맨드	66
6.2.1. Print Logo	67
6.2.2. Dump 메뉴	68
6.2.3. Fill 메뉴	68
6.2.4. Go 메뉴	69
6.2.5. DPRAM Test 메뉴	69
6.2.6. Register 출력 메뉴	69
6.2.7. Reset 메뉴	69
6.2.8. EEPROM Clear 메뉴	69
6.2.9. ADC Built-In-Test 메뉴	69
6.2.10. DAC Built-In-Test 메뉴	70
6.2.11. Analog Input 메뉴	71
6.2.12. Analog 입력 보상 데이터 획득 메뉴	72
6.2.13. Analog 출력 보상 데이터 획득 메뉴	72
6.2.14. 초기 환경 설정 메뉴	72
6.2.14.1. Analog 입력 초기 환경 설정 메뉴	72
6.2.14.2. Analog 입력 초기 환경 설정 메뉴	73
6.2.14.3. Analog 출력 초기 환경 설정 메뉴	74
6.2.14.4. Digital 출력 초기 환경 설정 메뉴	75
6.2.14.5. 초기 환경 설정 내용 저장 메뉴	76
6.2.14.6. 초기 환경 설정 내용 생산 시 값으로 복귀 메뉴	76
6.2.15. Digital 출력 메뉴	76
7. LKV-510TM	78

7.1. LKV-510TM 보드 단자대 사양 78

8. 주의 사항 80

그림 목차

그림 1. LKV-510 Block Diagram.....	15
그림 2. Analog 입력 필터 특성 곡선	16
그림 3. TTL Type Digital Input.....	19
그림 4. Relay Type Digital Input	19
그림 5. Open-Collector Type Digital Input	19
그림 6. Open-Collector Type Digital Output.....	20
그림 7. Digital Output Relay Interface.....	20
그림 8. 하드웨어 메모리 맵	23
그림 9. Control Status Register Accessed By VME	24
그림 10. VISIDR (VME Interrupt Status/ID Register)	25
그림 11. VME General Purpose Input/Output Register	25
그림 12. Analog Digital Input Dual-Port-RAM.....	28
그림 13. DAC & Control Status Register Accessed By DSP	29
그림 14. DAC & Control Data Access Point Register	30
그림 15. DSP Interrupt Masking Register	31
그림 16. DSP Interrupt Pending Register	31
그림 17. EEPROM Address & OPCODE Register	33
그림 18. Control & Status Register Accessed By All	34
그림 19. ADC & Bit Control Register	35
그림 20. VME Interrupt masking Register	38
그림 21. VME Interrupt Pending Register	39
그림 22. DSP General Purpose Input/Output Register.....	40
그림 23. Analog to Digital Output Dual-Port_RAM.....	40
그림 24. DAC & Control Data Dual-Port-RAM.....	41
그림 25. LKV-510 외형도 및 주요 부품 배치	44
그림 26. Connector 및 Jumper Header 위치	45
그림 27. LKV-510 전면판	47
그림 28. SW1 VME 쇼트 어드레스 기본 설정.....	48
그림 29. 점퍼 설정 예	49
그림 30. JP1 VME 표준 어드레스 디코드 설정.....	49
그림 31. JP4 VME IRQ 레벨 설정.....	50
그림 32. JP5 VME SYSRESET# 사용 설정	50
그림 33. JA1~JA16의 기본설정	52
그림 34. JB1~JB16의 기본 설정.....	53
그림 35. JD1 전류 feedback의 전압 변환 범위 설정	54

그림 36. JE1,2 ADC 입력 전압 모드 설정	55
그림 37. JF1,2 DAC 출력 전압 범위 설정	56
그림 38. DAC 출력 초기화.....	56
그림 39. 아날로그 출력 설정	57
그림 40. 초기화 화면.....	66
그림 41. Menu print screen.....	67
그림 42. Logo print screen	67
그림 43. Dump 메뉴	68
그림 44. Fill 메뉴	68
그림 45. Dual-Port Memory Test 메뉴.....	69
그림 46. ADC Built-In-Test 메뉴.....	70
그림 47. DAC Built-In-Test 메뉴.....	71
그림 48. Analog Input 메뉴.....	71
그림 49. 초기값 설정 메뉴	72
그림 50. Analog 초기 환경 설정 메뉴	73
그림 51. Analog 초기 환경 설정 메뉴	74
그림 52. Analog 출력 초기 환경 설정 메뉴.....	75
그림 53. Digital 출력 초기 환경 설정 메뉴.....	76
그림 54. Digital 출력 메뉴	77

표 목차

표 1. Analog 입력 사양.....	11
표 2. Analog 출력 사양.....	12
표 3. DSP 사양	12
표 4. 외부 메모리 사양	13
표 5. VME Interface 사양.....	13
표 6. Front Pannel 사양	14
표 7. Analog 입력 전압/전류 모드 상관 관계	16
표 8. Analog 출력 범위.....	18
표 9. EEPROM Address & OPCODE.....	33
표 10. ADC & BIT Control Register Bit Description	35
표 11. CON2 입출력 신호	58
표 12. CON4 RJ45 시리얼 컨넥터.....	60
표 13. LKV-510TM 단자 구성	78

1. 소개

LKV-510은 프로그램 가능한 인터럽트를 내장하고 있는 VME용 Salve-sub-system으로 150MFLOP 75MIPS의 고성능 DSP를 내장하고, 광학 디바이스에 의해 시스템 절연 된 intelligent 아날로그 입/출력 보드이다. 다양한 아날로그 설정 모드를 가진 16 채널 자동 입력과 8채널 아날로그 출력이 있다. 또한 각각 2 채널의 디지털 입/출력을 제공하여 디지털 보드의 추가 없이 보드상의 고성능의 어플리케이션이 가능하도록 다양성과 편리성을 제공한다.

1.1. 사양

1.1.1. ANALOG 입력

표 1. Analog 입력 사양

구 분	설 명
채널	- 16 differential analog 입력
Resolution	- 16 bit high resolution
Accuracy	- 16bit 0.01% FSR
Scanning Mode	- Auto Scan Mode (전체 또는 지정된 채널의 순차적인 변환) - Manual Scan Mode (지정된 특정 채널의 연속적인 변환)
신호 모드	- 단일 전압 모드 (0~5V, 0~10V) - 양 전압 모드 (0~±5V, 0~±10V) - 단일 전류 모드 (0~20mA, 0~40mA) - 양 전류 모드 (0~±20mA, 0~±40mA)
Digital calibration	- Internal DSP or device drive
Built In Test	- Internal references에 의한 자체진단
Sample Rate	- 200Khz aggregate sample rate
Programmable Scan-Time Set (단일 채널 기준)	- 최소 10μS - 최대 16.38375mS
Protection	- Over voltage protection - Surge protection
Filter	- 차단 주파수 48Khz Low pass filter

1.1.2. ANALOG 출력

표 2. Analog 출력 사양

구분	설명
채널	개별의 DAC (Digital to Analog Converter) 모듈을 가진 8채널 analog 출력
출력 전류	전압 출력 시 최대 +/-10mA
Resolution	16 bit resolution
Accuracy	0.01% FSR
신호 범위	- 단일 전압 모드 (0~2.5V, 0~5V, 0~10V) - 양 전압 모드 (0~±2.5V, 0~±5V, 0~±10V) - 독립적인 전류 출력 (0~20mA)
Built In Test	Analog to digital converter에 의한 Analog 출력 전압 및 전류의 feed back
Setting Time(단일 채널 기준)	최대 10µS
Digital calibration	Internal DSP
Protection	Short circuit and transient protection

1.1.3. Digital 입력

Photocoupler 절연 입력 2채널

1.1.4. Digital 출력

Photocoupler 절연 Open collector 출력 2채널

1.1.5. DSP (TMS320vc33-150)

표 3. DSP 사양

구분	설명
성능	150MFLOPS, 75 MIPS, 32bit high performance
내부 메모리	34K x 32bit(1.1Mbit) On-Chip Words
Boot 방식	Flash ROM boot
Two 32bit timer/counter	
DSP emulator port 제공	

1.1.6. 외부 메모리

표 4. 외부 메모리 사양

구분	설명
SRAM	One wait state accessed 64K x 32bit external SRAM
Flash	256K Bytes flash memory for boot loader
Dual port memory	2K words dual port memory

1.1.7. 시리얼 포트

RS-232 1 port serial : UART controller TL16C550C 사용, RJ-45에 의한 connection

1.1.8. EEPROM

AT93C66(4Kbit), 또는 동등 품사용 : 16bit Access, Memory-Maped I/O방식 제어

1.1.9. VME INTERFACE

표 5. VME Interface 사양

구분	설명
VME Standard address mode(A24)	<ul style="list-style-type: none"> - A24 supervisory program access. AMCODE = 0X3Eh - A24 supervisory data access. AMCODE = 0X3Dh - A24 non-privileged program access. AMCODE = 0x3Ah - A24 non-privileged data access. AMCODE = 0x39h
VME Short address mode (A16)	<ul style="list-style-type: none"> - A16 supervisory access. AMCODE = 0X2Dh - A16 non-privileged access. AMCODE = 0x29h
VME address setting	<ul style="list-style-type: none"> - 전면 판 내의 rotary S/W 의한 VME low address 설정 (A12 ~ A15) - 보드 내의 header에 의한 VME high address 설정 (A16 ~ A23)
VME bus Interrupt-Sub-System	<ul style="list-style-type: none"> - Programmable Status/ID Setting - Option ROAK(Release On Acknowledge Interrupter) - HW 또는 SW에 의한 interrupt enable/disable

VME bus와 독립적인 live alone 기능	
--------------------------------	--

1.1.10. ISOLATION

- Power isolation : Analog 회로 전원 공급용 On-board DC-to-DC converter 사용
- Signal isolation : Optical Isolation 1500V analog GND to digital GND

1.1.11. FRONT PANEL

표 6. Front Pannel 사양

구분	설명
Status LED	- RUN (Yellow) - VME (Green) - FAIL (Red) - DIAG (Yellow) - DIA, DIB(Yellow) - DOA, DOB (Yellow)
Reset/Rototy switch	- Reset switch for DSP - Rotary switch for VME low address Setting
RJ-45 connector	- RS-232 통신 connector
Test point	- Analog GND. Internal reference +5Vdc
Trim	- Analog reference trimming

1.1.12. Analog/Digital 입/출력 Signal Connection

VME P2 rear analog and digital in/out connection

2. 하드웨어 구조

2.1. 블록도

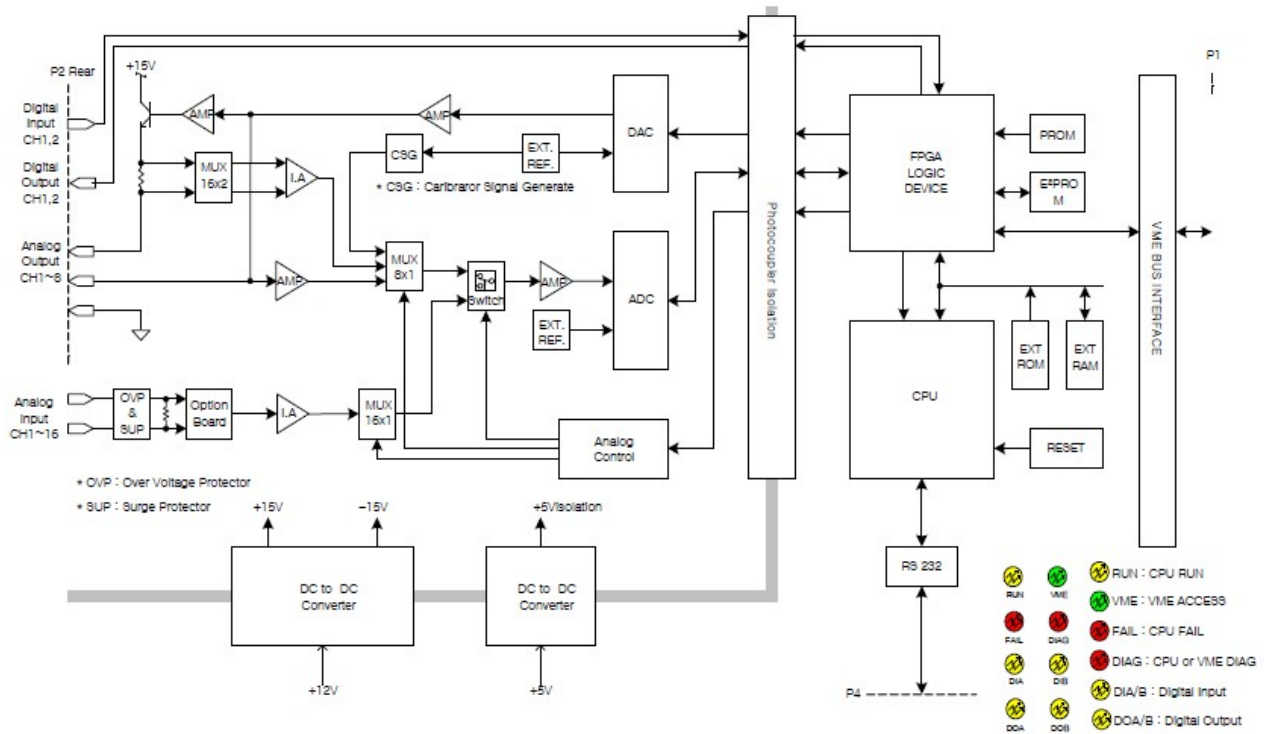


그림 1. LKV-510 Block Diagram

2.2. 블록별 기능

2.2.1. Analog 입력

각 채널마다 instrument amplifier를 사용한 differential analog 입력 16 채널이 있다. 이 instrument amplifier의 전단에 정밀 저항을 사용한 current sensor 회로가 있고, 각 입력 채널마다 surge protection과 over voltage protection을 위한 회로가 존재한다.

2.2.1.1. Analog 입력 범위

Analog 입력 범위로는 단일 전압 모드(0~5V, 0~10V), 양 전압 모드(0~±5V, 0~±10V), 단일 전류 모드(0~20mA, 0~40mA), 양 전류 모드 (0~±20mA, 0~±40mA) 의 여러 입력 범위를 제공하여 다양한 사용자의 요구에 대응 할 수 있도록 설계 되었다. 전압 모드일 경우 analog 입력 채널그룹1(채널1~채널

8), 입력 채널그룹2(채널9~채널16) 단위로 설정이 가능하다. 전압 모드에서 전류 모드의 변경은 각 채널마다 독립적으로 설정 할 수 있지만 전류모드의 전류 범위 설정은 각 채널 그룹의 전압 모드의 설정에 의존적이다. 각각의 입력 모드들의 상관관계를 [표 7]에 기술 하였으며, 항목 “4. 하드웨어 설정”에서 아날로그 입력 범위 설정과 아날로그 입력 모드 설정에 따른 디지털 출력 값을 상세 설명하였다.

표 7. Analog 입력 전압/전류 모드 상관 관계

DESCRIPTION	ANALOG INPUT (Current Sensor 240 ohm Register)				DIGITAL OUTPUT STRAIGHT BINARY	
					BINARY	HEX
Full-Scale Range	±10	±5	0V to 10V	0V to 5V		
Least Significant Bit(LSB)	305µV	153µV	153µV	76µV		
+Full Scale(FS-1LSB)	9.995695V	4.999847V	9.999847V	4.999924V	1111 1111 1111 1111	0xFFFF
Midscale	0V	0V	5V	2.5V	1000 0000 0000 0000	0x8000
One LSB Below Midscale	-305µV	-153µV	4.999847V	2.499924V	0111 1111 1111 1111	0x7FFF
-Full Scale	-10V	-5V	0V	0V	0000 0000 0000 0000	0x0000

2.2.1.2. Analog 입력 필터

아래 그림과 같이 차단주파수 48Khz의 주파수 특성을 가지고 있는 RC필터로 구성되어있다.

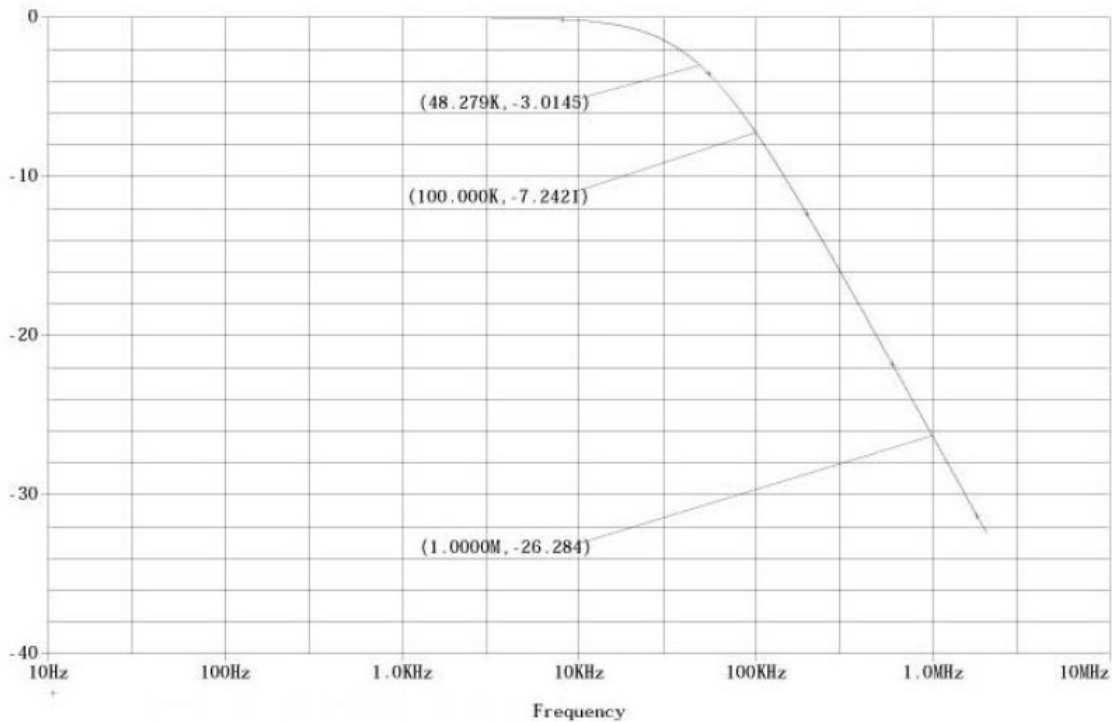


그림 2. Analog 입력 필터 특성 곡선

2.2.1.3. ADC (Analog to Digital Converter) Control & Timing

Analog 입력 신호를 디지털 값으로 변환하기 위해 16bit resolution, 100Khz Sampling rate의 ADC IC (Integrate Circuit) 2개를 장착하고 있다. 각각의 IC가 입력 채널 그룹1과 입력 채널 그룹2로 나뉘게 되며, 입력 채널 그룹1과 그룹2는 쌍으로 제어 된다. 따라서 입력 채널 그룹1의 첫 번째인 채널 1과 입력 채널 그룹2의 첫 번째인 채널9는 동시에 digital 변환이 이루어진다.

아날로그 신호를 디지털 변환 하는데 있어 scanning 방식에 따라 Auto-Scan 모드와 Manual-Scan 모드 두 가지가 있다. Auto-Scan 모드는 채널 그룹별 1채널 이상 즉 2채널 이상 다수의 채널을, Manual-Scan 모드는 채널 그룹 별 1채널 즉 지정된 2채널을 연속적으로 지정된 scan 시간에 따라 ADC 제어 로직과 DSP 간의 공유 메모리 영역인 각 채널 별 고유 어드레스에 저장 된다. 이때 메모리 영역은 채널 별로 1개만이 지정 되어 있으며, 제어에 의해 계속 ADC 변환이 이루어 지게 되면 ADC 데이터는 가장 최근의 데이터가 계속 남게 된다. Scan time은 16bit SCTR(Scan-Time-Register)의 설정에 의해 설정이 가능하며, SCTR의 값과 설정 된 scan 모드 그리고 scan 채널 수에 의해 채널 당 scan time이 결정 된다. digital 변환된 각 채널의 아날로그 값은 하드웨어적으로 채널별 지정된 공유 메모리에 저장 된다. 실시간 data 처리를 하고자 한다면 해당되는 제어 register 설정에 의해 DSP로 인터럽트 요구를 할 수 있다. Scan-Time-Register의 값을 최소로 설정하고 Auto-Scan 모드에서 입력 채널 그룹마다 1개의 채널을 선택 하거나 Manual-Scan 모드로 설정 되었을 경우 단지 2채널의 analog입력 채널을 Scan-Time 10 μ S의 최대 속도로 변환 할 수 있다.

2.2.2. 아날로그 출력

Analog 출력은 각 채널 마다 DAC (Digital to analog converter)를 가지고 있다. 4개의 DAC가 모여 1개의 IC를 이루고 있으며, 8채널 digital 값을 analog 출력 신호로 변환하기 위해 16bit resolution, 10 μ S settling time의 DAC IC 2개를 장착하고 있다. 각각의 DAC IC는 analog 출력 채널그룹1(채널1~채널4), 출력 채널 그룹2(채널5~채널8)로 나눌 수 있고, 전압 출력의 경우 최대 출력 전류는 20mA이며, 출력 단락 보호와 과도전류 보호가 되어있다.

2.2.2.1. 아날로그 출력 범위

아날로그 출력 범위로는 단일 전압 모드(0~2.5V, 0~5V, 0~10V), 양 전압 모드(0~ \pm 2.5V, 0~ \pm 5V, 0~ \pm 10V), 독립적인 전류출력 단자에 의한 전류출력의 여러 출력 범위를 제공하여 다양한 사용자의 요구에 대응 할 수 있도록 설계 되었다.

전압 모드일 경우 출력 채널 그룹 단위로 설정이 가능하다. 전류 출력의 경우 전압 출력과는 별도의

출력 단자가 마련되어 있으며, 0~20mA의 전류 출력을 원할 경우 전압 모드를 10 단일 전압 모드의 설정을 하여야 한다.

표 8. Analog 출력 범위

DESCRIPTION	DIGITAL INPUT		ANALOG OUTPUT						
	BINARY	HEX							
Full-Scale Range			±10	±5	±2.5	0V~10V	0V~5V	0V~2.5V	0mA~20mA
Least Significant Bit(LSB)			305µV	153µV	76µV	153µV	76µV	38µV	305pA
+Full Scale (FS-1LSB)	1111 1111 1111 1111	0xFFFF	9.995695V	4.999847V	2.499924V	9.999847V	4.999924V	2.499962V	19.999695mA
Midscale	1000 0000 0000 0000	0x8000	0V	0V	0V	5V	2.5V	1.25V	10mA
One LSB Below Midscale	0111 1111 1111 1111	0x7FFF	-305µV	-153µV	-76µV	4.999847V	2.499924V	1.249962V	9.999695mA
-Full Scale	0000 0000 0000 0000	0x0000	-10V	-5V	-2.5V	0V	0 V	0V	0 m A

2.2.2.2. Digital to Analog Converter Control and Timing

DAC는 FPGA(Field Programmable Gate Array) logic인 하드웨어와 DSP 소프트웨어에 의해 제어 된다. analog 출력은 DSP 소프트웨어에 따라 interrupt 방식과 polling 방식 두 가지가 있을 수 있으며, 상세한 내용은 항목 5. PROGRAMMING 부분에 설명 되어 있다.

DAC 제어를 위한 FPGA logic은 두 가지가 있다. 그 첫 번째는 VME master 모듈에서 DAC 출력 전용 Dual-Port-Memory에 Write-Access를 하게 될 때 DSP에 알려주는 DSP interrupt 요청 logic과, 두 번째로는 DSP 소프트웨어에 의해 보상이 이루어진 parallel data를 serial로 변환하여 DAC IC로 전송하는 DAC control logic이 있다. Analog digital 절연에 의해 DAC로의 serial data 전송은 optocoupler를 통한 신호 전달이 이루어지며, 이로 인해 DSP에서 DAC control logic으로 쓰여진 parallel data가 실제 DAC-IC로의 전달되는데 걸리는 시간이 6.375µS 존재 하게 되므로 서로 다른 채널의 access시 6.375µS의 delay 시간을 반드시 주어야 한다.

2.2.2.3. Digital 입력

Digital 입력 2채널로 phtocoupler를 사용하여 절연을 하였다. potocoupler의 input diode 양단 모두를 보드내의 GND 또는 전원과 연결 하지 않고 입력 단자로 마련하여 사용자 임의의 digital 입력

interface를 위한 설계를 하였다.

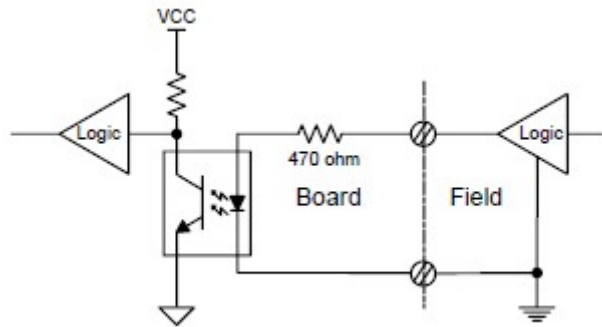


그림 3. TTL Type Digital Input

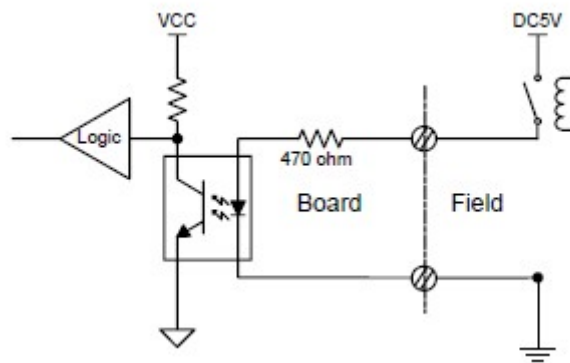


그림 4. Relay Type Digital Input

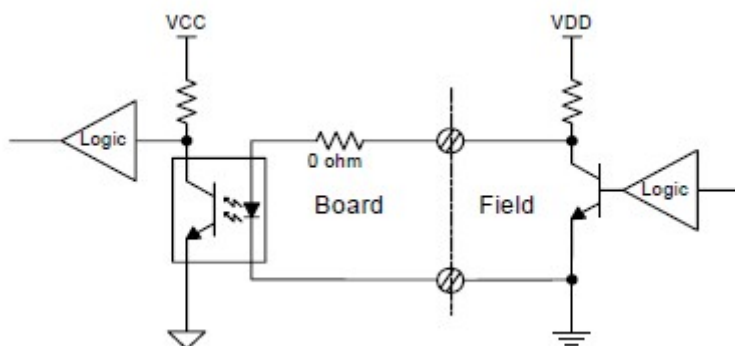


그림 5. Open-Collector Type Digital Input

2.2.3. Digital 출력

Digital 출력 2채널로 photocopier를 사용하여 절연을 하였다. 출력 방식은 Open-Collector 이다.

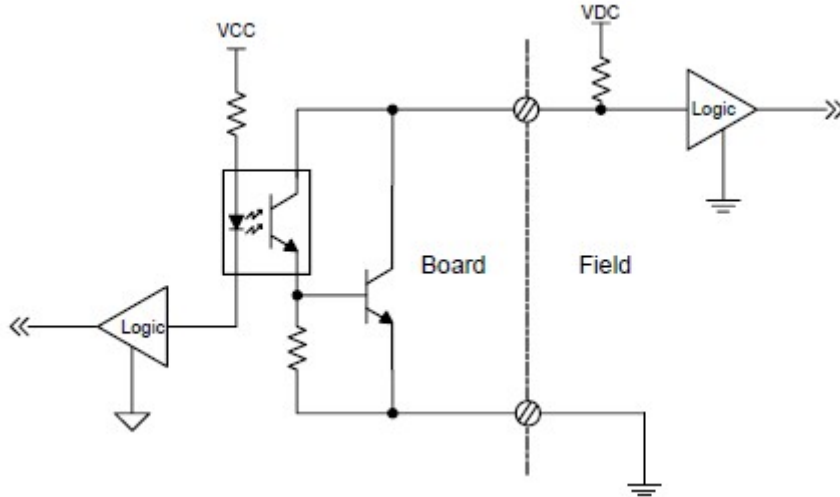


그림 6. Open-Collector Type Digital Output

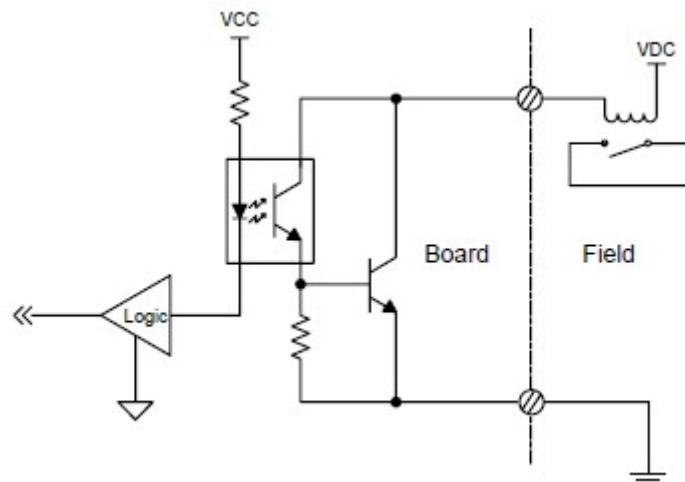


그림 7. Digital Output Relay Interface

2.2.4. Built In Test Reference

보드의 자체 진단과 아날로그 입출력 신호 보상을 위한 기준 전압으로 사용된다. 이 기준 전압 생성을 위해 AD588이라는 reference IC를 사용 하였으며 정밀한 값을 얻기 위해 IC의 trim 단자에 Potential meter를 사용하여 조정하여 주었다.

2.2.5. VME 버스 Interface

VME Bus Slave Sub System으로 address 설정에 따라 Standard address(A24) 또는 Short address(A16)가 가능하며, data 라인 쪽으로는 D16과 D08이 가능하다. Interrupt는 enable/disable을 하드웨어나 소프트웨어에서 설정 가능하며, 인터럽트 Status/ID는 register 설정에 의해 programmable 하다. address 설정에 관한 사항은 항목 “4. 하드웨어 설정”에서 상세히 설명 되어있다.

2.2.6. EEPROM

AT93C66이나 또는 동등품의 serial EEPROM을 사용하여 보드의 각 채널별 gain과 offset 값 등의 보드 고유의 데이터를 저장하고 있으며, Memory-Mapped I/O 방식으로 접근 가능하다. EEPROM의 읽기 쓰기 지우기 등의 function은 register의 설정에 의해 이루어 진다.

초기 생산시 보드의 특성에 관한 정보가 들어 있음으로 인해 사용자에게 임의로 Data 쓰기 시 주의가 필요하다.

2.2.7. 절연

시스템 절연을 위하여 아날로그 인터페이스에 필요한 전원을 DC-DC Converter을 사용하여 +15Vdc, -15Vdc를 On Board 상에서 공급한다. 디지털 변환된 데이터 및 아날로그 변환을 위한 데이터의 전달은 고속의 Optical 디바이스에 의해 Serial로 상호 전달이 이루어지며, 보드에 사용된 Optical 디바이스의 절연 내압은 1500V이다.

3. 하드웨어 메모리 Map

LKV-510 보드의 제어나 상태 정보를 가진 모든 레지스터들은 Memory-Maped I/O 방식으로 접근 가능하다. 보드의 개별 기능 실행은 상태 레지스터의 값을 읽고 그에 해당하는 제어 레지스터 값을 변경하고, 그 결과로 생긴 데이터를 상태 레지스터나 공유되어 있는 데이터 메모리 내용을 읽음으로써 이루어진다. 제어 및 상태 레지스터와 공유메모리는 DSP 또는 VME 마스터에 의한 단일 접근 가능한 메모리 및 레지스터 그리고 DSP와 VME 마스터가 같이 접근 할 수 있는 공유 메모리 및 레지스터 부분이 있다. VME 버스에서만 접근 가능한 VISIDR의 레지스터를 제외한 모든 메모리 및 레지스터는 16bit의 데이터 폭이며, 32bit Processor인 DSP에서 접근할 경우 상위 16Bit는 유효하지 않다.

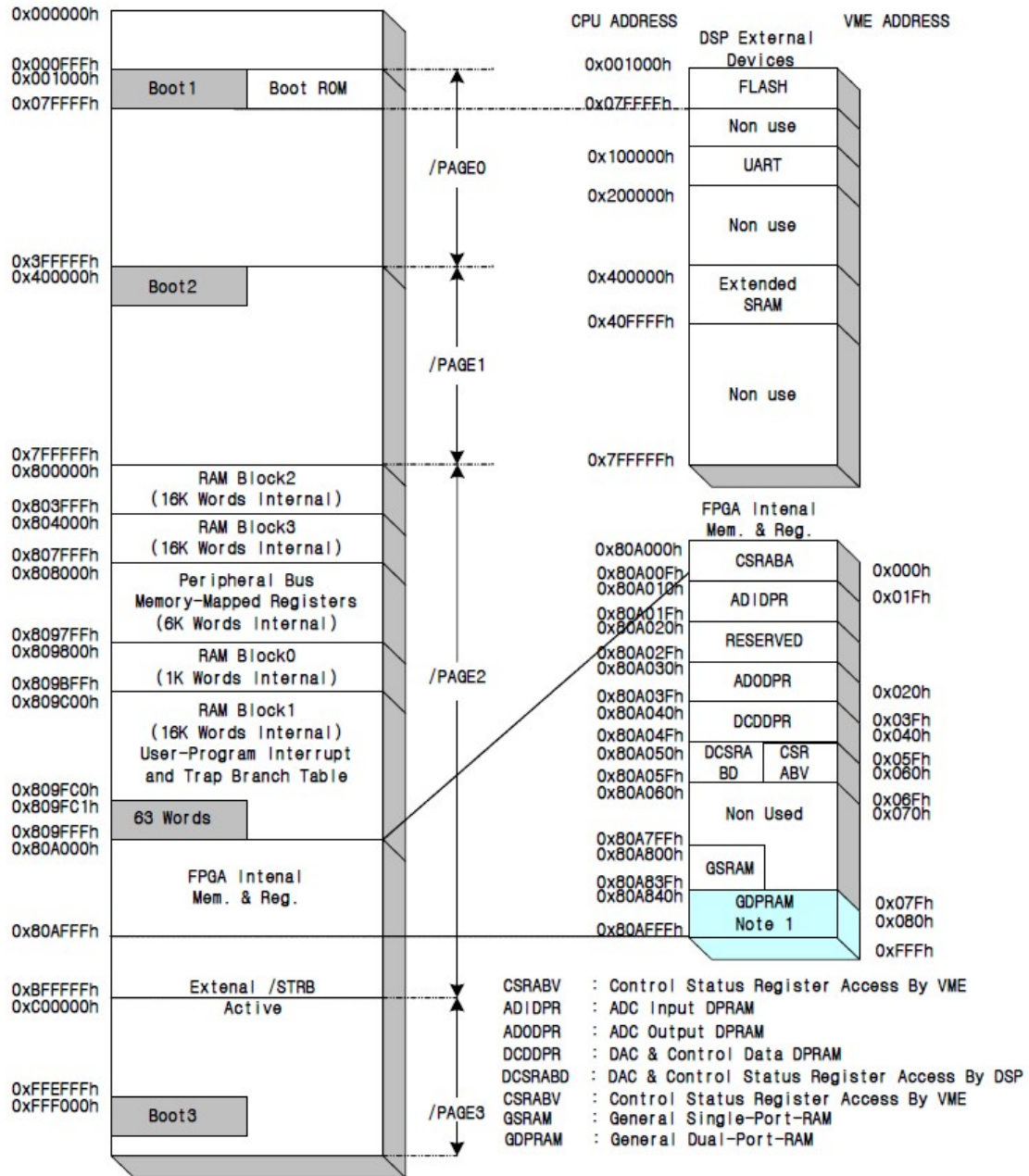


그림 8. 하드웨어 메모리 맵

3.1. VME 버스 마스터에 의해서만 접근 가능한 영역

VME 마스터 모듈의 어드레스 영역이며, VME 마스터에 의해서만 읽기 및 쓰기 접근이 가능한 메모리 영역으로 LKV-510 보드의 사용에 필요한 VME 버스 설정에 관한 레지스터이다.

3.1.1. CSRABV (Control Status Register Accessed By VME)

VME 버스에 의해서만 접근 가능하며, LKV-510보드 사용을 위하여 VME 버스에 관련된 설정을 위한 레지스터 그룹이다.

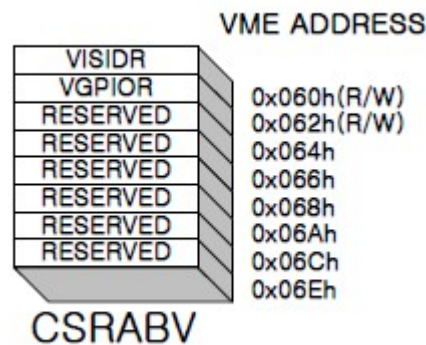


그림 9. Control Status Register Accessed By VME

3.1.1.1. VISIDR (VME Interrupt Status/ID Register)

VME Interrupt 사용 시 사용자가 VME 마스터에 의해 Status/ID 레지스터 값의 Bit4 ~ Bit7을 설정하여 VME Status/ID를 프로그램 가능하게 사용 할 수 있도록 하였다. 이 레지스터의 값은 이 보드의 유일한 바이트 단위 레지스터이며, 워드 접근 시에도 단지 하위 바이트만이 유효한 데이터를 가진다. 최하위 Nibble(Bit0~Bit3)은 보드의 인터럽트를 위한 각각의 이벤트의 종류를 알려줄 수 있도록 내부 Logic 구현에 의해 하드웨어적으로 특정 이벤트 발생시 Set('1') 된다. 동작 중 자체 발생하는 Status/ID의 하위 값으로 인터럽트 항목에 상세히 설명되어 있다.

- VME offset address : 0x060h

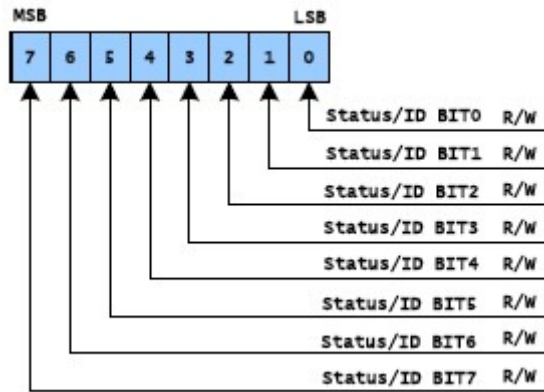


그림 10. VISIDR (VME Interrupt Status/ID Register)

- Status/ID Bit0~7(Read/Write) : VME 버스 마스터에 의해 설정 가능. 초기값은 Zero

3.1.1.2. VGPIOR (VME General Purpose Input/Output Register)

VME-Master 모듈에서 설정 가능한 레지스터이다. 전원 투입에 의한 초기 상태 값은 0x0000h 값을 가진다. LKV-510 보드의 리셋과는 무관하며, VME SYSRESET 신호에 의해 초기화 된다.

- VME offset address : 0x062h

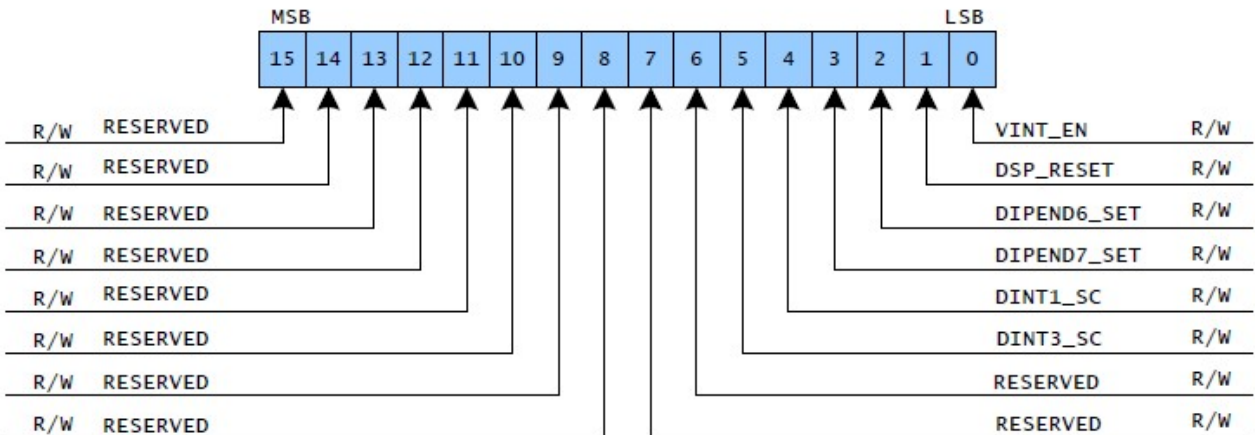


그림 11. VME General Purpose Input/Output Register

- VINT_EN
 VME interrupt enable 설정에 관한 bit이다. H/W jumper 설정과 FPGA내부 로직에서 AND 로직

으로 되어 있으며, SET('1')시 VME 인터럽트를 사용 할 수 있다.

- **BD_RESET**

Board를 초기화 할 수 있다. SET('1')함으로써 보드를 초기화시키며, 초기화에 의해 다시 Clear('0') 된다. 이 기능을 사용하기 위하여 H/W Jumper JP11의 Pin3-4의 설정이 우선 되어야 한다.

*** 보드가 동작 중 점퍼 설정은 보드를 Reset 시키며, 반드시 전원이 OFF 된 상태에서 점퍼 설정을 하여야 한다.**

- **DIPEND6_SET**

DSP 인터럽트 관련 레지스터인 DIPENDR의 Bit6을 발생하는 비트이며, DIMASKR bit6을 SET('1') 하였을 경우 VME 버스상의 마스터 모듈에서 S/W적으로 보드상의 DSP 인터럽트를 사용 할 수 있다. High로의 상승 edge 발생에 의해 이벤트가 발생하게 된다.

- **DIPEND7_SET**

DSP 인터럽트 pending register(DIPENDR) Bit6의 설정 비트 이며, DSP 인터럽트 masking register(DIMASKR) Bit6을 SET('1') 하였을 경우 VME 마스터 모듈에서 S/W적으로 보드상의 DSP 인터럽트를 사용 할 수 있다. High로의 상승 edge 발생에 의해 인터럽트가 발생하게 된다.

- **DINT1_SC**

DSP의 외부 인터럽트1의 소스로 사용되어 지며, VME 버스상의 마스터 모듈에서 S/W적으로 보드상의 DSP 인터럽트를 사용 할 수 있다. High로의 상승 edge 발생에 의해 인터럽트가 발생하게 된다.

- **DINT3_SC**

DSP의 외부 인터럽트3의 소스로 사용되어 지며, VME 버스상의 master 모듈에서 S/W적으로 보드상의 DSP 인터럽트를 사용 할 수 있다. High로의 상승 edge 발생에 의해 인터럽트가 발생하게 된다.

3.2. DSP에 의해서만 접근 가능한 영역

DSP에 의해서만 읽기 및 쓰기 접근이 가능한 메모리 영역으로 DSP 주변 디바이스 및 LKV-510 보드의 제어 시 DSP 에만 관계 된 register와 memory가 있다.

3.2.1. EPROM

DSP의 부트로더 기능 사용 시 부팅용 ROM으로 사용 되며, LKV-510 보드에서는 Reset시 부트1을 사용하므로 Memory의 시작 address가 0x001000번지가 된다.

- Start address : 0x001000h
- End address : 0x07FFFFh.(4Meg bit 사용시)

3.2.2. UART

RS-232 serial 통신을 위한 디바이스로 TI사의 TL16C550 칩을 사용한다. 통신 속도는 57600bps를 사용한다.

- Start address : 0x100000h가 된다.

3.2.3. External SRAM

External SRAM으로 K6R4016V1C 2개 256Kx32Bit를 사용하였으며, DSP에서 zero wait 모드로 동작 가능하다.

- Start address : 0x400000h
- End address : 0x43FFFFh

3.2.4. ADIDPR (ADC Input Dual-Port-RAM)

ADC에 의해 디지털 변환된 데이터가 ADC-Control-Logic에 의해 각 채널 address 영역으로 Write 되는 Dual-Port-Memory이다. DSP에서는 읽기 접근만 가능하며, 데이터 폭은 16bit이다. 아래 그림과 같이 ADICHxDATA의 “x”가 각 채널 디지털 변환된 데이터를 의미한다.

- DSP address : 0x80A010h ~ 0x80A01Fh (Read only)

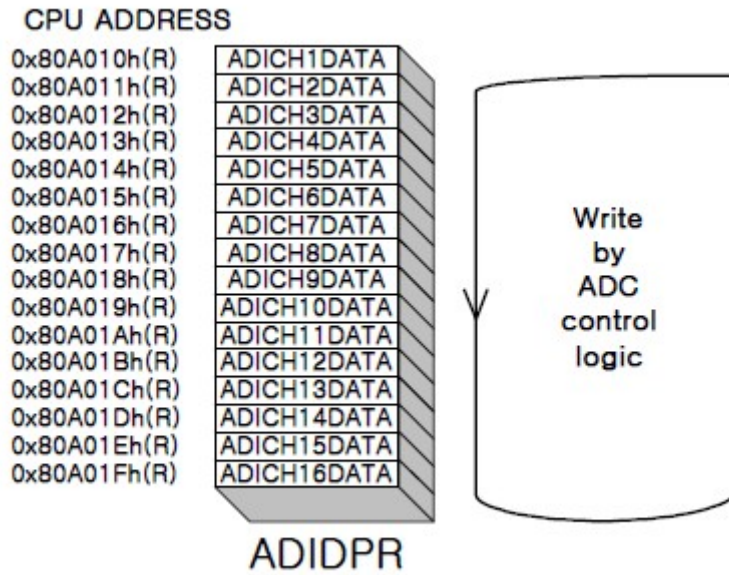


그림 12. Analog Digital Input Dual-Port-RAM

3.2.5. DCSRABD (DAC & Control Status Register Accessed By DSP)

DAC의 아날로그 출력 및 보드 제어에 관한 레지스터 그룹이다. 데이터 폭은 16bit이며, 각각의 종류에 따라 DSP에서 개별적으로 읽기 또는 쓰기 접근이 가능하다.

- DSP address : 0x80A050h ~ 0x80A05Fh (Read only)

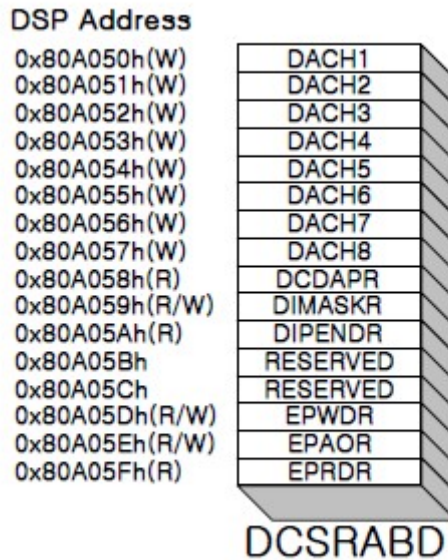


그림 13. DAC & Control Status Register Accessed By DSP

3.2.5.1. DACOUTRx

DAC(Digital to Analog Converter)의 출력 레지스터들이다. 이 레지스터에 새로운 데이터가 쓰여지게 되면, DAC-Control-Logic이 이를 감시하고 있다가 parallel 데이터를 DAC 모듈1과 모듈2 내부의 각 채널별 DAC register로 serial 전송하게 된다. 또한 전송이 이루어진 후 최대 12.7uS이후에 해당 채널의 아날로그 값이 출력된다. 따라서 한 채널 디지털 출력을 한 후 최소 12.7uS 동안의 Time-Delay를 주어야 한다. 최소 시간 이전에 DSP에서 해당 채널의 메모리에 쓰기를 하게 되면 무시된다. 각 채널별 디지털 출력 레지스터는 DACOUTRx의 x값에 따라 나뉘며, Data Type은 [표 8. Analog 출력범위]에 기술되어 있다.

- DSP address : 0x80a050h ~ 0x80a057h (Write only)

3.2.5.2. DCDAPR (DAC & Control Data Access Point Register)

VME 버스에서 아날로그 출력을 위한 DAC 데이터 및 제어 데이터가 보드내의 공유메모리 부분인 DCDDPR(DAC and Control Data Dual-Port-RAM)에 쓰기 접근이 이루어 졌을 경우 이를 DSP에 알려 줄 목적으로 접근된 어드레스 정보를 가지고 있는 레지스터로써 읽기 전용이다. DCDAPR은 LSB부터 Bit0는 DCDDPR의 첫 번째 메모리 공간 즉 DAC 채널1의 데이터가 쓰기 접근이 되었다는 정보를 알려 주며, Bit11은 DCDDPR의 11번째 메모리 공간인 DGPIOR 에 해당되는 데이터가 쓰기 접근이 되었다는 정보를

알려준다. 또한 이 DCDAPR의 각 비트를 논리합(OR)하여 DSP의 인터럽트 소스로 사용 가능하게 하였으며, 이를 인터럽트 소스로 사용하기 위해서는 VIMASKR 레지스터의 해당 bit를 설정하여 쓸 수 있다. DCDDPR의 예약 되어진 데이터 공간에 의해 DCDAPR의 bit12,13,14,15는 예약으로 표기 하였지만 VME 버스 상에서 DCDDPR의 12,13,14,15번째의 공유 메모리 공간에 쓰기 접근을 하게 되면 해당 bit가 Set('1')로 된다. 이 레지스터의 초기값 또는 보드 리셋에 의한 값은 제로이며, DSP에서 읽기 접근과 동시에 하드웨어적으로 초기화된다.

- DSP address : 0x80A058h (Read only)

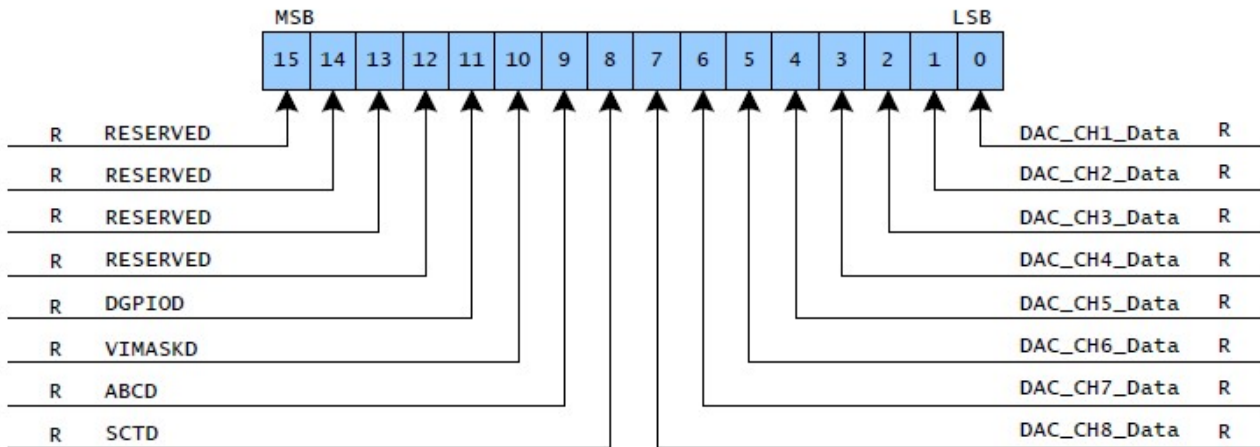


그림 14. DAC & Control Data Access Point Register

3.2.5.3. DIMASKR (DSP Interrupt Masking Register)

LKV-510보드는 DSP(TMS320VC33)의 외부 인터럽트 0번을 여러 가지로 나누어 사용한다. 나누어진 각각의 인터럽트 신호에 대하여 개별적인 사용 여부의 결정을 위한 레지스터이다. 해당 bit의 Set('1')일때 인터럽트 사용 가능하며, 각 bit별 의미는 다음의 DIPENDR의 내용과 같다. 초기값 또는 보드의 reset에 의한 값은 zero 상태이며, 보다 자세한 내용은 항목 6. 인터럽트에 설명하였다.

- DSP address : 0x80A059h (Read/Write)

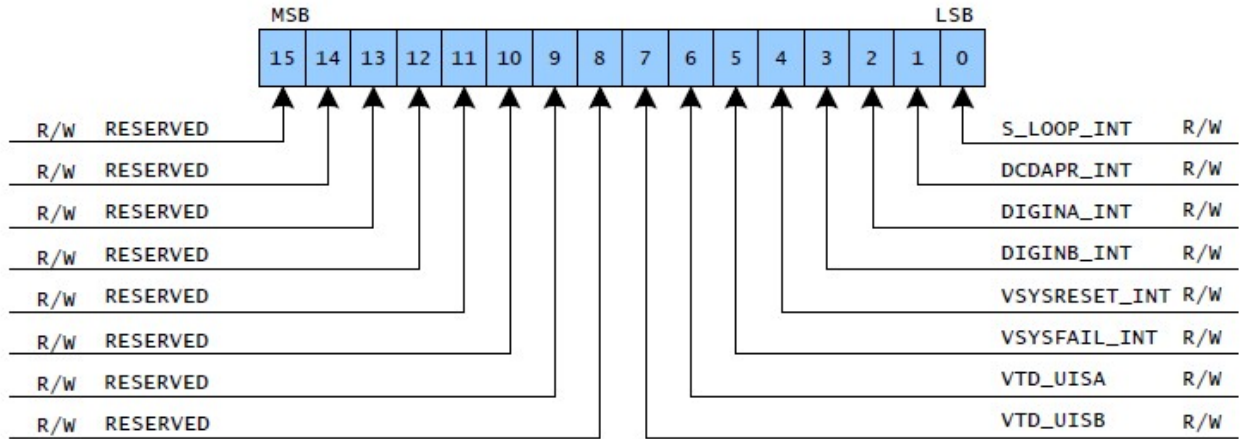


그림 15. DSP Interrupt Masking Register

3.2.5.4. DIPENDR (DSP Interrupt Pending Register)

DSP 외부 인터럽트 0번을 나눈 인터럽트 신호들의 현 상태 레지스터이다. 리셋에 의해서 레지스터의 초기값은 zero상태이며, 인터럽트의 발생에 의해 해당 비트가 Set('1') 되고, DSP에 의해 읽기 접근이 이루어지거나 보드의 리셋 시 모든 bit가 Clear 된다. 자세한 내용은 항목 6. 인터럽트에 설명하였다.

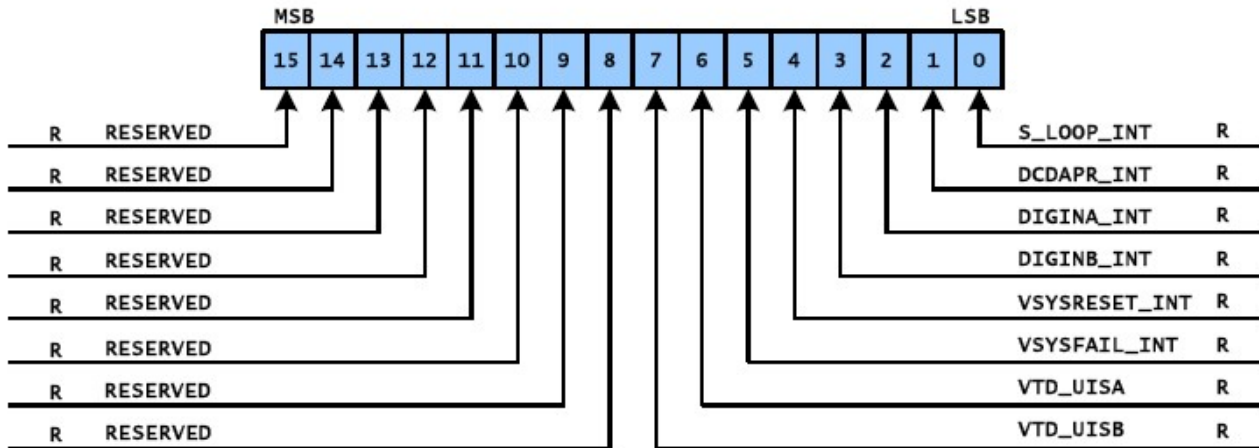


그림 16. DSP Interrupt Pending Register

- DSP address : 0x80A05Ah (Read only)
- S_LOOP_DINTP
: ABSR 설정 에 따른 채널 수 만큼 Scan이 이루어 졌을 경우 발생
- DCDAPR_DINTP
: DCDAPR의 개별 bit들의 하드웨어적인 논리합에 의해 발생
- DIGINA_DINTP

- : Digital Input 채널1의 Logic-High에 의해 발생
- **DIGINB_DINTP**
 - : Digital Input 채널2의 Logic-High에 의해 발생
- **VSYSRESET_DINTP**
 - : VME bus 상의 SYSRESET# 신호의 Logic-Low에 의해 발생
- **VSYSFAIL_DINTP**
 - : VME bus 상의 SYSFAIL# 신호의 Logic-Low에 의해 발생
- **VTD_UISAP**
 - : VGPIOR의 bit2에 의해 발생
- **VTD_UISBP**
 - : VGPIOR의 bit3에 의해 발생
- **RESERVEDP**
 - : Read시 항상 제로 값.

3.2.5.5. EPWDR (EEPROM Write Data Register)

EEPROM의 Write-Access시 이 register에 쓰여진 Data가 EPAOR register의 설정에 의한 address 영역으로 load 된다.

- **DSP address : 0x80A05Dh (Read/Write)**

3.2.5.6. EPAOR (EEPROM Address & OPCODE Register)

EEPROM의 Read, Write, Erase, Protection과 같은 기능에 필요한 해당 address 및 Opcode를 위한 register이다. register에 data가 쓰여짐과 동시에 해당 EEPROM function의 serial 데이터가 전송 되어진다. 다음 그림과 표에서 EPAOR register의 자세한 내용을 설명하였다.

- **DSP address : 0x80A05Eh (Read/Write)**

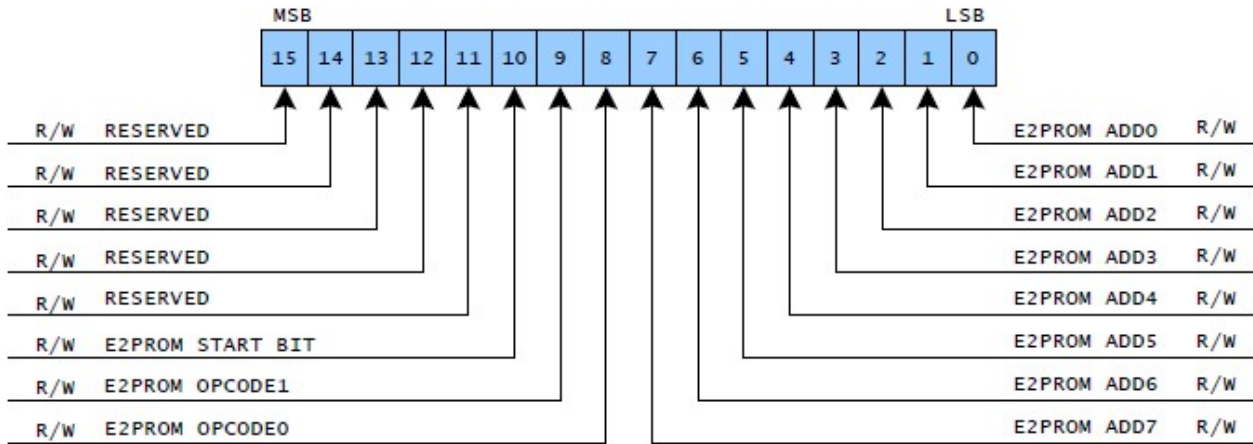


그림 17. EEPROM Address & Opcode Register

표 9. EEPROM Address & OP CODE

Instruction	SB	OP 0	OP 1	Address	Description
EWDS	1	0	0	0 0 X X X X X X	Disable all programming instruction
WRAL	1	0	0	0 1 X X X X X X	Write all memory allocation
ERAL	1	0	0	1 0 X X X X X X	Erase all memory allocation
EWEN	1	0	0	1 1 X X X X X X	Write enable must precede all programming modes
WRITE	1	0	1	A7~A0	Writes memory allocation, at specified address
READE	1	1	0	A7~A0	Read data stored in memory, at specified address
ERASE	1	1	1	A7~A0	Erase memory allocation, at specified address

3.2.5.7. EPRDR

EPAOR register에 임의 address와 Read-Opcod 설정 시 EPAOR에 의해 지정된 EEPROM의 address 영역의 데이터가 이 register로 load 된다.

- DSP address : 0x80A05Fh (Read only)

3.3. VME 와 DSP 공유 영역

보드의 제어 및 데이터의 전달을 위해 VME 버스 마스터와 DSP가 공유하는 메모리 또는 레지스터들이다.

3.3.1. CSRABA (Contol & Status Register Accessed By All)

LKV-510 보드를 제어하기 위해 VME 버스 마스터와 DSP가 서로 공유하는 CSR (Control & Status Register)로써 각각의 특성에 따라 읽기 또는 쓰기 접근이 제한 된다.

- DSP address : 0x80A000h ~ 0x80A007h
- VME address : 0x000h ~ 0x00Eh

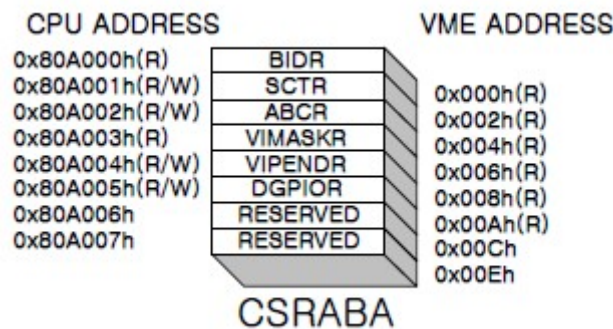


그림 18. Control & Status Register Accessed By All

3.3.1.1. BIDR (Board Identification Register)

읽기 전용의 레지스터로써 보드 종류에 따른 ID 및 FPGA 또는 PLD 로직 프로그램 버전 등의 정보를 가지고 있는 레지스터이다.

- DSP address : 0x80A000h (Read only)
- VME address : 0x000h (Read only)

3.3.1.2. SCTR (Scan Time Register)

ADC의 Scan-time설정을 위한 Register이다. 16bit register로써 유효한 설정 값은 0x0000h ~ 0xFFD7h까지 이며, 0xFFD7h 이상의 값은 하드웨어적으로 제로와 동일하게 취급된다. 설정값의 의미로는 설정값 1digit당 채널에서 채널로 넘어가는 Scan-Time을 250nS 만큼 늘릴 수 있도록 하였다.

ABCR 설정에 의해 analog 입력 채널 그룹 당 Scan하는 채널 수가 N채널이며 SCTR의 설정값이 M이라면 채널당 Scan-time는 아래 공식에 의해 산출 된다.

- DSP address : 0x80A001h (Read/Write)
- VME address : 0x002h (Read only)
- STPCH(Scan-Time-Per-Channel) = $N * ((M * 250nS) + 10\mu S)$
- SFPCH(Smpling-Frequence-Per-Channel) = $1 / STPCH$ (단, $0 < N < 9$, $0 \leq M \leq 65495$)

3.3.1.3. ABCR (ADC & Bit Control Register)

ADC 제어 및 Built-In-Test를 위한 레지스터이다. ADC의 디지털 변환의 시작과 중지, Scan-mode 설정과 각 모드에서의 multiplexer 제어, 그리고 Scan 채널의 선택을 할 수 있다. Built-In-Test를 위한 제어에서는 기준 전압과 DAC 출력의 feed back 선택 및 선택된 기준 전압의 attenuation 입력 등의 제어를 할 수 있다. [그림 19]와 [표 10]에 각 Bit의 의미와 상세 설명을 기술 하였다.

- DSP address : 0x80A002h (Read/Write)
- VME address : 0x004h (Read only)

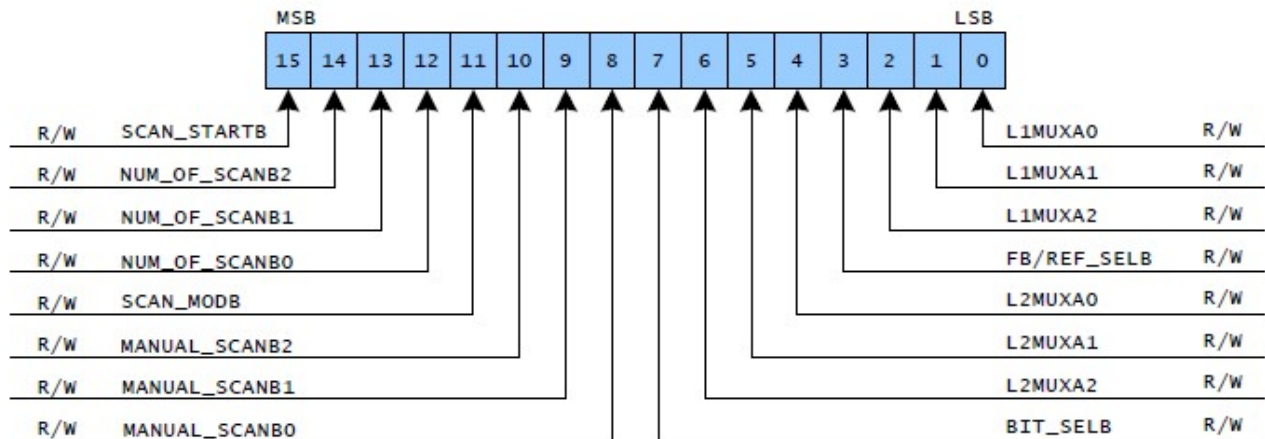


그림 19. ADC & Bit Control Register

표 10. ADC & BIT Control Register Bit Description

L1MUXA2	L1MUXA1	L1MUXA0	HEX	Description
0	0	0	0x0000	GND
0	0	1	0x0001	+2.5V
0	1	0	0x0002	+5V

0	1	1	0x0003	+10V
1	0	0	0x0004	-10V
1	0	1	0x0005	EXT_VIN1
1	1	0	0x0006	EXT_VIN2
1	1	1	0x0007	OPT_VIN

FT/BIT_SELB	HEX	Description
0	0x0000	Reference Voltage Select for BIT
1	0x0008	Analog Output Feed Back Select

L2MUXA2	L2MUXA1	L2MUXA0	HEX	Description
0	0	0	0x0000	X1
0	0	1	0x0010	X0.875
0	1	0	0x0020	X0.75
0	1	1	0x0030	X0.625
1	0	0	0x0040	X0.5
1	0	1	0x0050	X0.375
1	1	0	0x0060	X0.25
1	1	1	0x0070	X0.125

BIT_SELB	HEX	Description
0	0x0000	Analog Input
1	0x0080	BIT or Analog Output Feed Back

MAN_SCB2*	MAN_SCB1*	MAN_SCB0*	HEX	Description
0	0	0	0x0000	CH #1, CH #9 Seclection
0	0	1	0x0100	CH #2, CH #10 Seclection
0	1	0	0x0200	CH #3, CH #11 Seclection
0	1	1	0x0300	CH #4, CH #12 Seclection
1	0	0	0x0400	CH #5, CH #13 Seclection
1	0	1	0x0500	CH #6, CH #14 Seclection
1	1	0	0x0600	CH #7, CH #15 Seclection
1	1	1	0x0700	CH #8, CH #16 Seclection

SCAN_MOD	HEX	Description
0	0x0000	Auto Scan Mode
1	0x0800	Manual Scan Mode

NODSB2**	NODSB1**	NODSB0**	HEX	Description
0	0	0	0x0000	Auto Scanning CH#1~CH#8, CH#9~CH#16
0	0	1	0x1000	Auto Scanning CH #1, CH #9
0	1	0	0x2000	Auto Scanning CH#1~CH#2, CH#9~CH#10
0	1	1	0x3000	Auto Scanning CH#1~CH#3, CH#9~CH#11
1	0	0	0x4000	Auto Scanning CH#1~CH#4, CH#9~CH#12
1	0	1	0x5000	Auto Scanning CH#1~CH#5, CH#9~CH#13
1	1	0	0x6000	Auto Scanning CH#1~CH#6, CH#9~CH#14
1	1	1	0x7000	Auto Scanning CH#1~CH#7, CH#9~CH#15

SCAN_STARTB	HEX	Description
0	0x0000	Analog to Digital Converter Scan Start
1	0x8000	Analog to Digital Converter Scan Stop

* : MANUAL_SCANB

** : NUM_OF_SCANB

3.3.1.4. VIMASKR (VME Interrupt Masking Register)

VME 버스의 인터럽트 소스는 인터럽트 레벨 1에서 7까지로 한정되어 있으며, LKV-510 보드의 경우 이 인터럽트 레벨 중에 JP4에 의해 설정된 1개의 인터럽트를 여러 가지 이벤트를 가지고 공유하여 사용하게끔 설계 되었다. 여러 가지 의 이벤트 발생을 비트 제어하여 인터럽트 소스로 사용할지 여부를 결정하게 되는 레지스터가 VIMASKR 레지스터이다. 해당 이벤트를 인터럽트 신호로 사용할 경우 비트를 Set('1') 한다. 전원 투입에 의한 초기화 값은 제로이며, VME 시스템 Reset에 의해 초기화되며, 보드리셋은 레지스터 값에 영향을 주지 않는다. 각 비트별 의미는 아래의 그림과 같으며, 자세한 내용은 항목 6. 인터럽트의 사용에 설명하였다.

- DSP address : 0x80A003h (Read/Write)
- VME address : 0x006h (Read only)
- BDRST_VINTM : VIPEND Bit0의 인터럽트 신호 사용 여부
- DIGINA_VINTM: VIPEND Bit1의 인터럽트 신호 사용 여부
- DIGINB_VINTM: VIPEND Bit2의 인터럽트 신호 사용 여부
- DTV_UISAM : VIPEND Bit3의 인터럽트 신호 사용 여부
- DTV_UISBM : VIPEND Bit4의 인터럽트 신호 사용 여부
- RESERVED : 인터럽트에 영향을 주지 않으며 예약 영역이다.

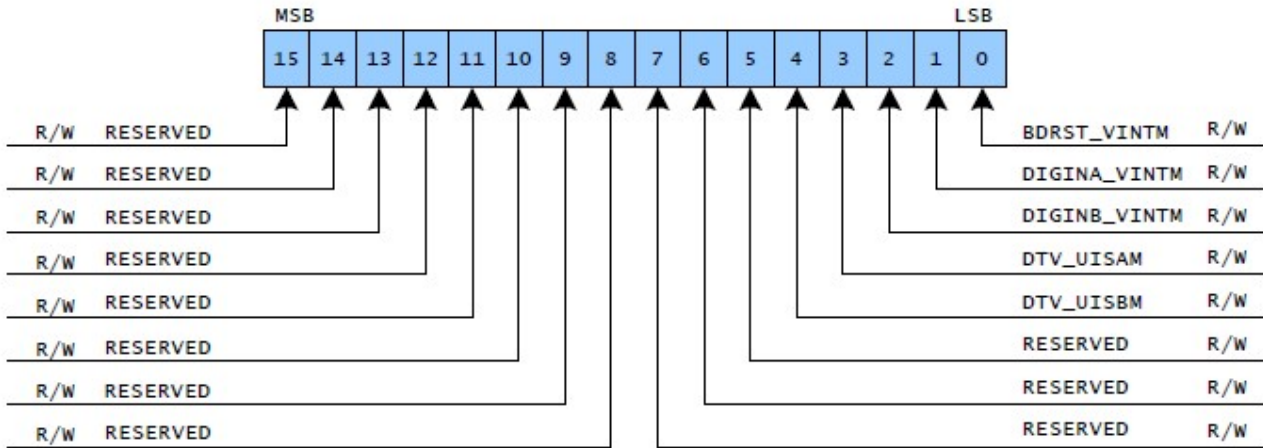


그림 20. VME Interrupt masking Register

3.3.1.5. VIPENDR (VME Interrupt Pending Register)

VME 인터럽트 사용을 위하여 제공되는 여러 이벤트의 현재 상태를 나타내는 레지스터이다. 해당 이벤트의 발생에 의해 해당 비트가 Set('1') 되고, 이 VIPENDR이 VME 버스 마스터에 의해 읽기 접근이 되어지면 모든 비트가 Clear('0') 된다. 전원 투입시 또는 VME 버스 상의 시스템 리셋에 의한 초기값은 모든 비트의 Clear('0')상태이며, 보드 리셋은 그 어떤 영향도 주지 않는다.

- DSP address : 0x80A004h (Read only)
- VME address : 0x008h (Read only)
- BDRST_VINTP : 보드의 리셋에 의해 Set('1') 발생
- DIGINA_VINTP : Digital Input 채널1의 Logic-High에 의해 Set('1') 발생
- DIGINB_VINTP : Digital Input 채널2의 Logic-High에 의해 Set('1') 발생
- DTV_UISAP : DGPIOR의 bit8의 Set('1')에 의해 Set('1') 발생
- DTV_UISBP : DGPIOR의 bit9의 Set('1')에 의해 Set('1') 발생
- RESERVED : 읽기 접근 시 제로 값

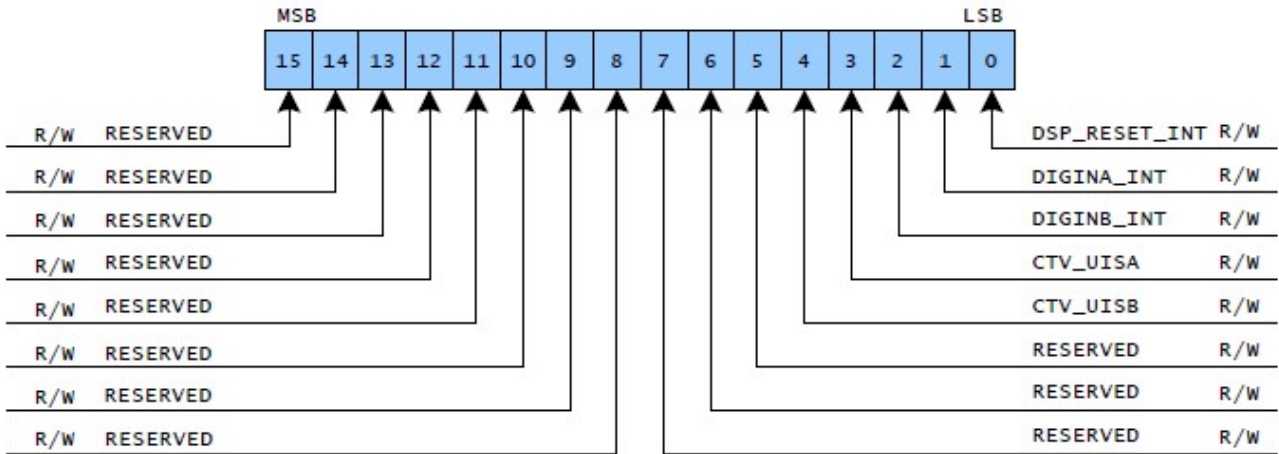


그림 21. VME Interrupt Pending Register

3.3.1.6. DGPIOR (General Purpose Input/Output Register)

LKV-510 보드의 일반적인 목적의 제어를 위한 레지스터이다. 각 비트별 의미는 아래의 그림과 같다.

- **DSP address** : 0x80A005h (Read/Write,비트14,15는 Read only)
- **VME address** : 0x00A6h (Read only)
- **DO_A** : Set('1')시 Digital Output 채널1의 Turn-on
- **DO_B** : Set('1')시 Digital Output 채널2의 Turn-on
- **WDI** : Watch Dog Timer Counter clear Input
- **WDE** : Watch Dog Timer Enable
- **BD_RST** : 이 비트의 Set('1')에 의해 보드의 리셋이 가능하다.
- **RUN_LED** : Set('1')시 전면판의 RUN LED가 발광하게 된다.
- **DIAG_LED** : Set('1')시 전면판의 DIAG LED가 발광하게 된다.
- **VIPEND3_SET** : 이 비트를 Set('1')할 경우 VIPENDR의 Bit3이 Set 된다. VME 인터럽트 설정 레지스터인 VIMASKR의 Bit3이 SET('1')되어진 상태라면 이 비트를 Set('1')함으로써 DSP에서 소프트웨어적으로 보드상의 VME 인터럽트를 사용 할 수 있다.
- **VIPEND4_SET** : 이 비트를 Set('1')할 경우 VIPENDR의 Bit4가 Set 된다. VME 인터럽트 설정 레지스터인 VIMASKR의 Bit4가 SET('1')되어진 상태라면 이 비트를 Set('1')함으로써 DSP에서 소프트웨어적으로 보드상의 VME 인터럽트를 사용 할 수 있다.
- **DI_A** : Digital Input 채널1 으로 읽기 접근만 가능하다. 디지털 입력측 Potocoupler의 입력단 다이오드가 도통 되었을 경우 Set('1') 된다.
- **DI_B** : Digital Input 채널2 으로 읽기 접근만 가능하다. 디지털 입력측 potocoupler의 입력단 다이오드가 도통 되었을 경우 Set('1') 된다.

- RESERVED : 예약 비트로 하드웨어적인 그 어떤 일도 하지 못한다.

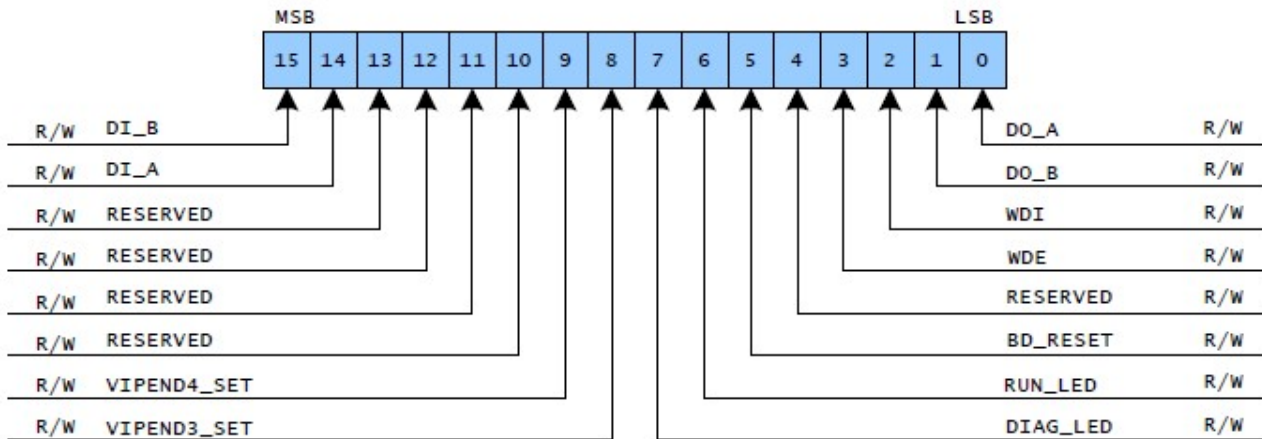


그림 22. DSP General Purpose Input/Output Register

3.3.2. ADODPR (Analog to Digital Output Dual-Port-RAM)

ADC에 의해 디지털 변환 된 데이터를 DSP에서 각 채널별로 보상한 후 VME 버스상의 마스터 모듈과 ADC 데이터 공유를 위한 공유 메모리로서 DSP에서는 읽기 또는 쓰기 접근 모두 가능하지만 VME 버스 마스터에서는 단지 읽기 접근만 가능하다. 데이터 폭은 16bit이며, VME 버스 표준의 바이트 접근이 가능하다. 아래의 그림과 같이 ADOCHxDATA의 x값에 따라 ADC 채널을 나타낸다.

- DSP address : 0x80A030h ~ 0x80A03Fh (Read/Write)
- VME address : 0x020h ~ 0x03Fh (Read only)

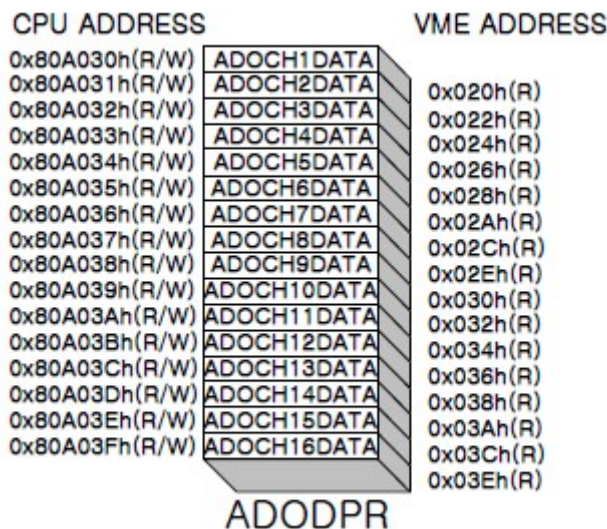


그림 23. Analog to Digital Output Dual-Port_RAM

3.3.3. DCDDPR (DAC & Control Data Dual-Port-RAM)

VME 버스 마스터에서 LKV-510 보드의 아날로그 출력에 필요한 각 채널의 DAC 데이터와 제어를 위한 데이터 값을 DSP에 전달하기 위한 공유 메모리이다. 이는 보드의 모든 주 제어권을 DSP에서 가지고 있으므로 VME 버스상의 마스터는 DSP에게 해당 레지스터의 데이터 값을 주는 것에 의한 간접 제어 방식을 사용하기 때문이다.

- **DSP address** : 0x80A040h ~ 0x80A04Fh (Read only)
- **VME address** : 0x040h ~ 0x05Fh (Read/Write)

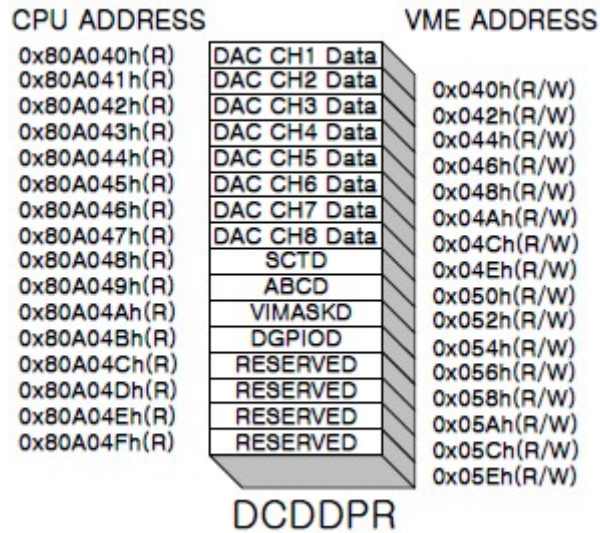


그림 24. DAC & Control Data Dual-Port-RAM

3.3.3.1. DAC CHx Data

DAC(Digital to Analog Converter)의 각 채널 출력 데이터 값이다.

- **DSP address** : 0x80A040h ~ 0x80A047h (Read only)
- **VME address** : 0x040h ~ 0x04Fh (Read/Write)

3.3.3.2. SCTD (Scan Time Data)

VME 마스터에서 ADC 제어 로직의 Scan-Time을 제어 하기 위하여 SCTDR에 들어갈 Data를 DSP

로 전달하기 위하여 사용되는 공유 메모리이다. VME 버스를 통해 읽기 및 쓰기 모두가 가능하며, DSP에 의해 읽기 접근만이 가능하다.

- **DSP address** : 0x80A048h (Read only)
- **VME address** : 0x050h (Read/Write)

3.3.3.3. ABCD (ADC & Bit Control Data)

VME 마스터에서 ADC의 입력 선택 및 자체 TEST(Built-in-test)를 제어 하기 위하여 ABCR에 들어갈 Data를 DSP로 전달하기 위하여 사용되는 공유 메모리이다. VME 버스를 통해 읽기 및 쓰기 모두가 가능하며, DSP에 의해 읽기 접근만이 가능하다.

- **DSP address** : 0x80A049h (Read only)
- **VME address** : 0x052h (Read/Write)

3.3.3.4. VIMASKD (VME Interrupt Masking Data)

VME 버스의 인터럽트를 사용하기 위한 VIMASKR에 들어갈 데이터를 DSP로 전달하기 위하여 사용되는 공유 메모리이다. VME 버스를 통해 읽기 및 쓰기 모두가 가능하며, DSP에 의해 읽기 접근만이 가능하다.

- **DSP address** : 0x80A04Ah (Read only)
- **VME address** : 0x054h (Read/Write)

3.3.3.5. DGPIOD (DSP General Purpose Input/Output Data)

LKV-510보드의 일반적인 목적의 제어를 위한 레지스터인 DGPIOR에 들어갈 데이터를 DSP로 전달하기 위하여 사용되는 공유 메모리이다. VME 버스를 통해 읽기 및 쓰기 모두가 가능하며, DSP에 의해 읽기 접근만이 가능하다.

- **DSP address** : 0x80A04Bh (Read only)
- **VME address** : 0x056h (Read/Write)

3.3.4. GSPRAM (General Single-Port-RAM)

64 x 16bit의 용량으로써 단지 DSP 에서만 읽기 쓰기 접근이 가능하다.

- **DSP address** : 0x80A800h ~ 0x80A83Fh (Read/Write)

3.3.5. GDPRAM2 (General Dual-Port-RAM2)

1984 x 16bit의 용량으로써 사용자가 임의의 목적으로 사용 할 수 있다. VME-Master와 DSP 모두 Read/Write-Access가 가능하다.

- **DSP address** : 0x80A840h ~ 0x80AFFh (Read/Write)
- **VME address** : 0x080h ~ 0xFFFh (Read/Write)
- **주의 사항** : VME 버스 접근 시 워드(16비트) 단위로만 접근이 가능하여 VME 버스 마스터에서의 쓰기 접근 시 바이트 단위의 쓰기를 하게 되면 쓰기 접근된 이외의 바이트의 데이터가 Low 또는 High의 데이터로 쓰여 지게 된다.

4. 하드웨어 설정

4.1. 외형도 및 주요 부품 배치도

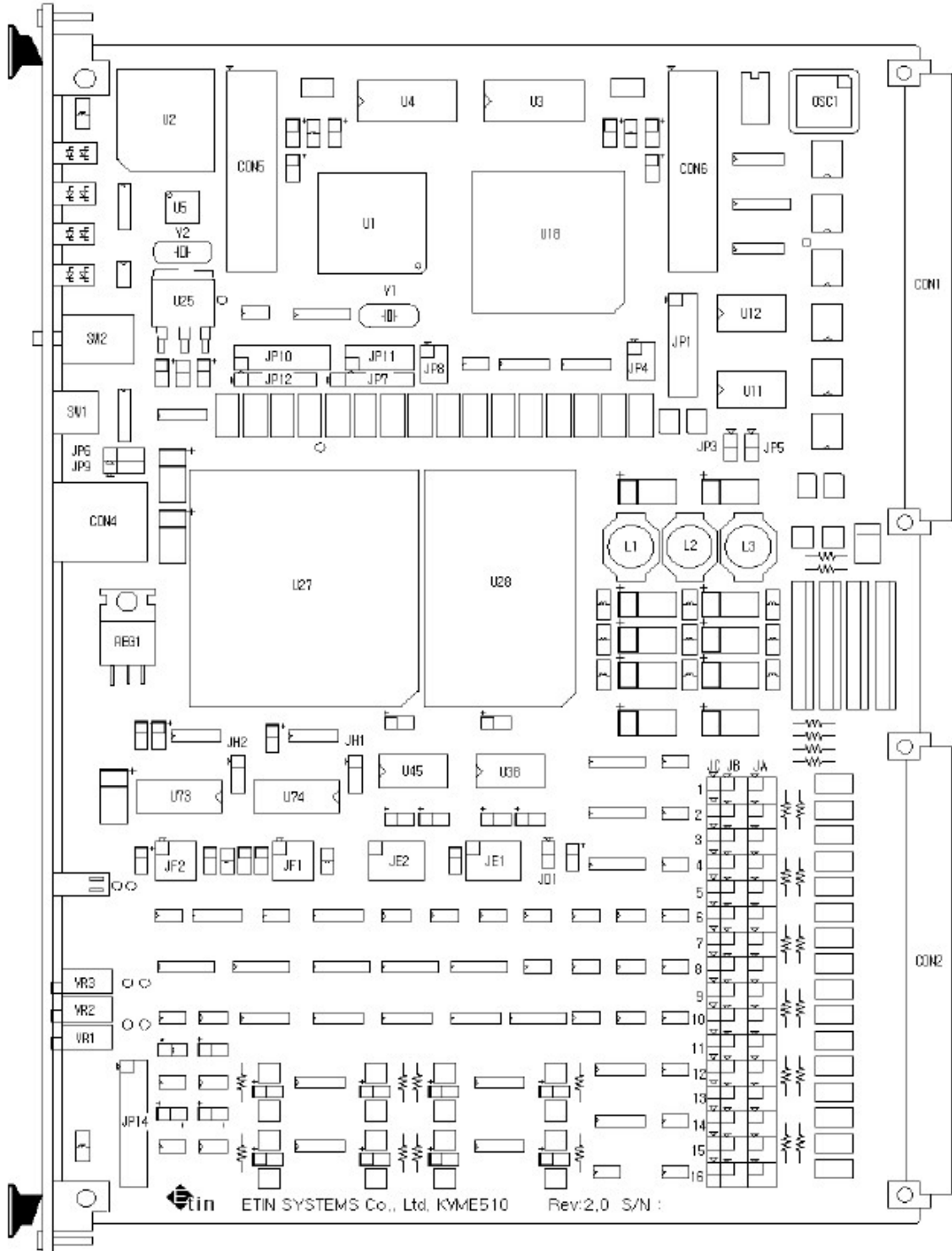


그림 25. LKV-510 외형도 및 주요 부품 배치

[그림 25]은 LKV-510의 외형도 및 주요 부품 배치를 나타내었으며, 6U VME규격을 만족한다.

4.1.1. Connector 및 Jumper Header 위치

[그림 26]은 LKV-510의 커넥터 및 Jumper Header 위치를 나타내었다.

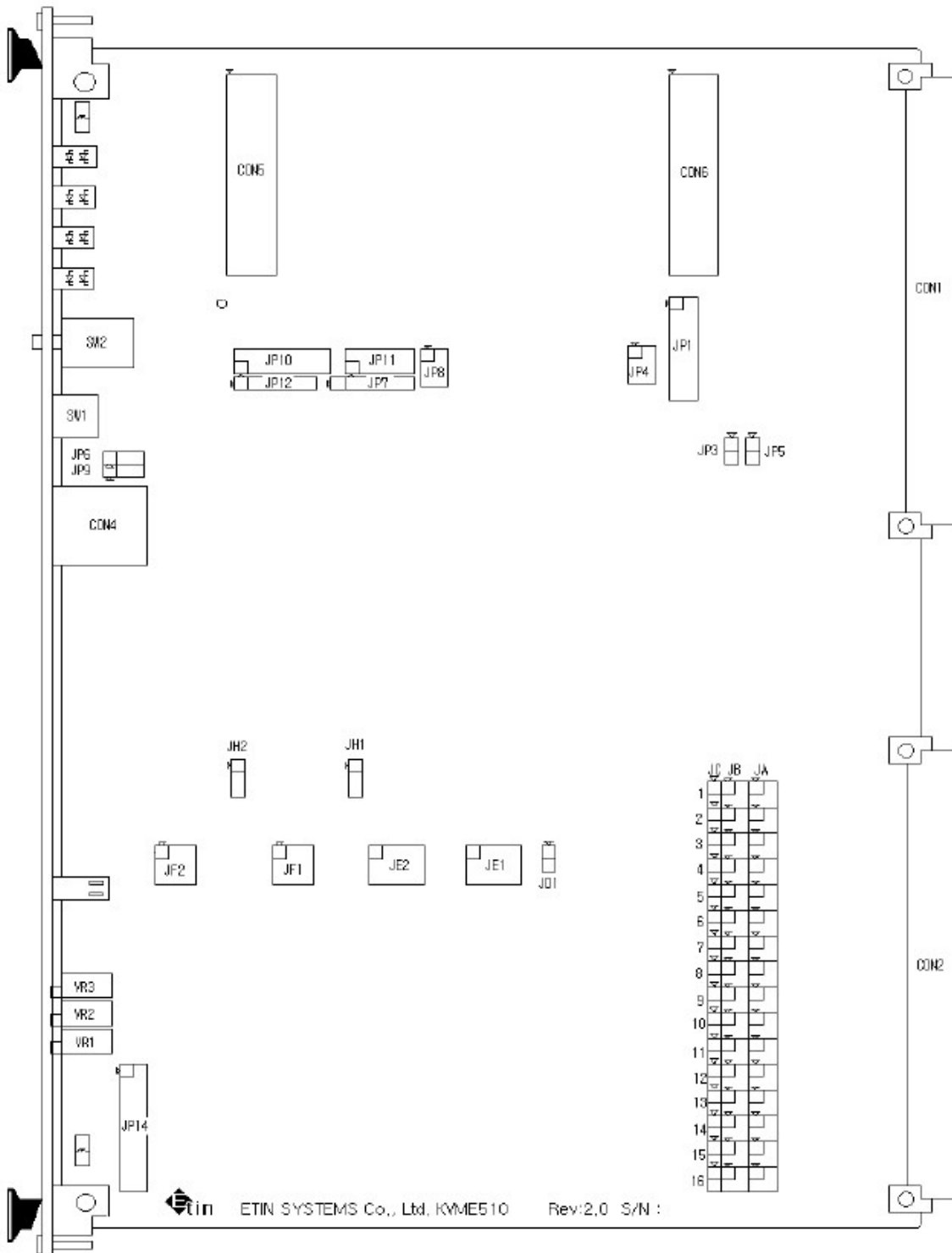


그림 26. Connector 및 Jumper Header 위치

4.1.2. 전면판

[그림 27]는 LKV-510의 전면 판을 나타내었다.

- **Status LED**
 - RUN(Yellow) : DGPIOR의 bit6이 '1'일 때 점등(On)
 - VME (Green) : VME 마스터에 의해 Board 접근 시 점등 (On)
 - FAIL (Red) : Board Reset시 점등(On)
 - DIAG(Yellow) : DGPIOR의 bit7이 '1'일 때 점등(On)
 - DIA (Yellow) : Digital 입력 채널1이 High 입력일 경우 점등(On)
 - DIB (Yellow) : Digital 입력 채널2이 High 입력일 경우 점등(On)
 - DOA(Yellow) : DGPIOR의 Bit0를 '0' 로 하여 Digital 출력 채널1 의 Off시 점등(On)
 - DOB(Yellow) : DGPIOR의 bit1을 '0' 로 하여 Digital출력 채널2 의 Off시 점등(On)
- **Reset/rotary switch(SW1)**
 - Reset switch : Push-Button으로 누름에 의해 보드가 Reset 된다.
 - Rotary switch : 0~0xF까지의 16진 숫자를 통해 VME 어드레스의 A11~A15를 디코드 한다.
- **RJ-45 connector**
 - RS-232 통신 connector
- **Test point**
 - Analog GND와 internal reference (+5Vdc)의 측정을 위한 접속 단자이다.
- **Trim**
 - Analog reference +5Vdc 의 조정 단자이다.



그림 27. LKV-510 전면판

4.2. 스위치 설정

4.2.1. SW1 VME 쇼트 어드레스 디코드 설정

VME 쇼트 어드레스(A16)모드 또는 표준 어드레스(A24) 모드로 사용 시 VME 어드레스의 A12~A15의 어드레스 디코드 설정에 사용 되어 보드의 베이스 어드레스를 결정하게 된다. [그림 28]은 SW1의 기본 설정으로 0xNNNN0NNNh을 나타내며, 그림에서 화살표가 지정하는 Hex값이 어드레스 A15 ~ A12의 한 개의 Nible에 해당하는 값이 된다.

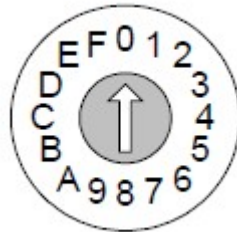


그림 28. SW1 VME 쇼트 어드레스 기본 설정

4.2.2. SW2 보드 리셋

DSP 및 보드의 각종 레지스터 값을 초기화 하며, 누름 동작에 의해 보드가 리셋된다.

4.3. 점퍼 설정

사용자는 보드의 각 기능을 하드웨어적인 점퍼 설정을 통해 사용 할 수 있다. 공장 출하시의 기본 설정 및 점퍼 핀 번호를 그림으로 나타내었다. 보드의 점퍼 Header상에 Shunt를 삽입함에 의해 logic level은 Low(0)가 되고, Shunt의 제거 하였을 경우는 logic level High(1)가 된다.



그림 29. 점퍼 설정 예

4.3.1. JP1 VME 표준 어드레스 디코드 설정

VME 표준 어드레스(A24) 모드로 사용 시 VME 어드레스의 A23~A16의 설정을 위한 점퍼로서 보드의 베이스 어드레스를 결정하게 된다. 아래 그림은 JP1의 기본설정 예를 나타내었으며, 어드레스 값은 0xXX0XXXXh이다.

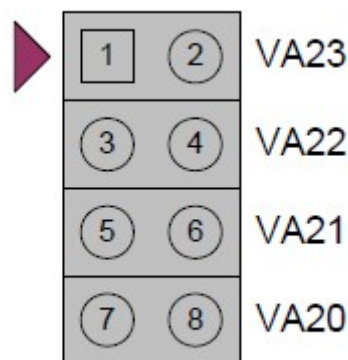


그림 30. JP1 VME 표준 어드레스 디코드 설정

4.3.2. JP4 VME IRQ레벨 설정

VME 인터럽트 사용에 관한 점퍼이다. 설정에 따라 인터럽트의 사용 여부 및 IRQ레벨을 설정할 수 있다.

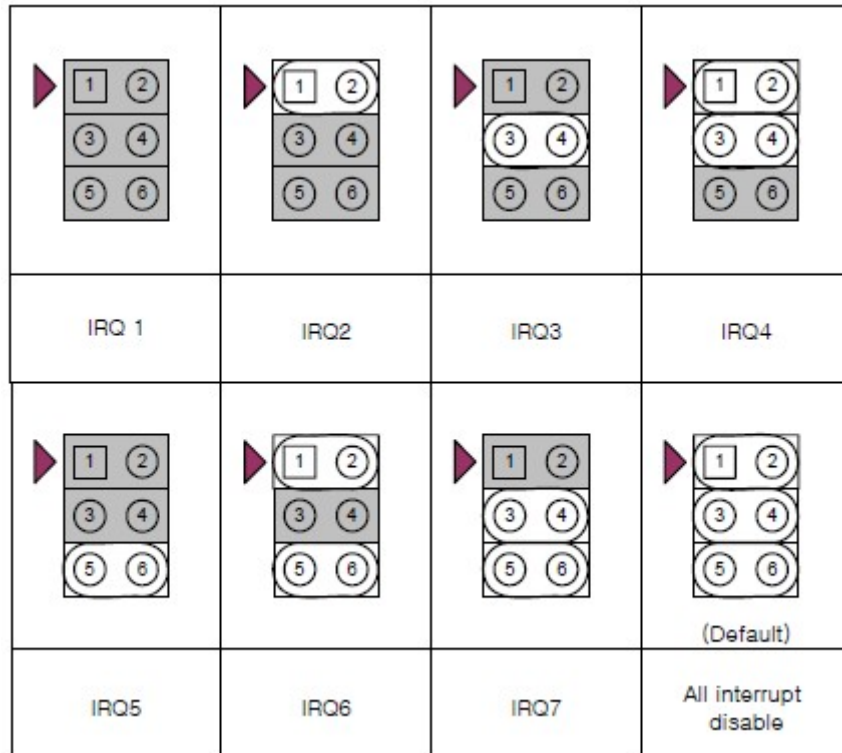


그림 31. JP4 VME IRQ 레벨 설정

4.3.3. JP5 VME SYSRESET# 사용 여부 설정

VME 버스 리셋 신호(SYSRESET#)에 의해 보드의 리셋을 가능하게 한다. Shunt 삽입 시 VME 버스의 리셋 신호는 보드의 reset을 가능하게 하며, Shunt를 제거 하게 되면 VME 버스의 SYSRESET# 신호에 의한 보드의 리셋은 가능하지 않게 된다.

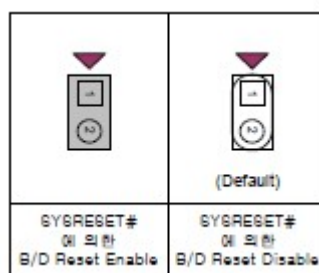


그림 32. JP5 VME SYSRESET# 사용 설정

4.3.4. JP6 예약

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, 반드시 Shunt가 제거된 상태여야 한다.

4.3.5. JP7 FPGA Configuration 포트

FPGA(Field Programmable Gate Array)의 Configuration을 위한 포트이다.

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, 반드시 Shunt가 제거된 상태여야 한다.

4.3.6. JP9 예약

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, 반드시 Shunt가 제거된 상태여야 한다.

4.3.7. JP10.

DSP 보드의 Emulator 포트이다.

4.3.8. JP11 DSP Serial boot 포트

DSP의 Serial 부팅용 포트로서 예약 되어 있다.

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, 반드시 Shunt가 제거된 상태여야 한다.

4.3.9. JP12 FPGA JTAG 포트

FPGA(Field Programmable Gate Array)의 JTAG 포트이다.

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, 반드시 Shunt가 제거된 상태여야 한다.

4.3.10. JP14 mezzanine 예약

차후 보드의 기능 확장을 위한 Mezzanine 커넥터이다.

- 주의 사항 : 사용자 임의로 사용해서는 안 된다.

4.3.11. JA1~16

아날로그 입력으로 전류신호를 사용 할 수 있도록 하며, 전류 입력 또는 차동 전압 입력 신호가 보드의 GND와 Floating 되어 있을 경우 Negative 입력 단자를 GND와 연결하기 위하여 설정할 수 있다. 입력 신호로 전류 입력을 사용 할 경우 Pin1과 Pin2를 Shunt로 단락함으로써 전류 검출용 저항을 통해 전류를 전압으로 변환하게 된다. pin3과 pin4를 Shunt로 단락하게 되면 Negative 입력 단자가 보드 내 GND와 연결된다.

- 주의 사항 1 : JA1~16의 pin3과 pin4의 점퍼 설정에 있어서 보드로 유입되는 Negative 입력 신호가 보드 내 GND와 floating 되어 있지 않고 보드 GND에 대한 차동 신호 레벨이라면 점퍼 삽입으로 단락해서는 안 된다. 이때 pin3과 pin4를 단락 할 경우 잘못된 결과 값이 발생하며(입력신호의 절반의 값), 차동 신호를 출력 하는 출력 측에 이상을 발생 시킬 수 있다.
- 주의 사항 2 : 점퍼 설정시 반드시 pin1 과 pin2 또는 pin3 과 pin4 끼리 설정 하여야 하며 pin1 과 pin3 또는 pin2와 pin4의 설정은 유효하지 않는 설정으로 주의 하여야 한다.

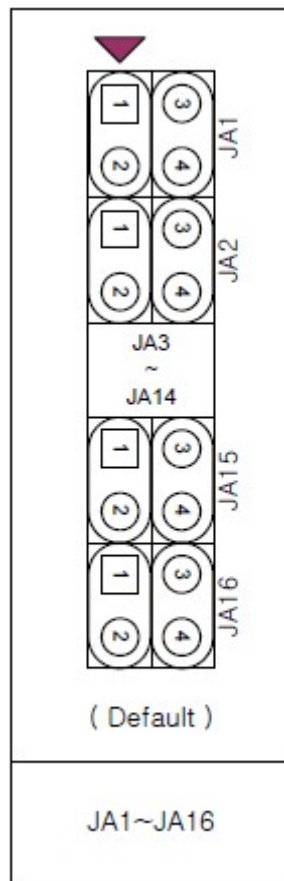


그림 33. JA1~JA16의 기본설정

4.3.12. JB1~16.

입력단 mezzanine 보드를 위한 포트에 예약되어 있다.

- 주의 사항 1 : 사용자 임의로 사용해서는 안 되며, mezzanine 보드를 사용하지 않을 경우 기본 설정과 같이 반드시 모든 점퍼를 삽입하여야 한다.
- 주의 사항 2 : 점퍼 설정시 반드시 pin1 과 pin2 또는 pin3 과 pin4 끼리 설정 하여야 하며 pin1 과 pin3 또는 pin2와 pin4의 설정은 유효하지 않는 설정으로, 주의하여야 한다. 특히 pin1과 pin3 이 점퍼 삽입에 의해 단락하였을 경우 입력 신호 발생원이 되는 센서 또는 타 시스템의 출력이 단락 되므로 조심하여야 한다.

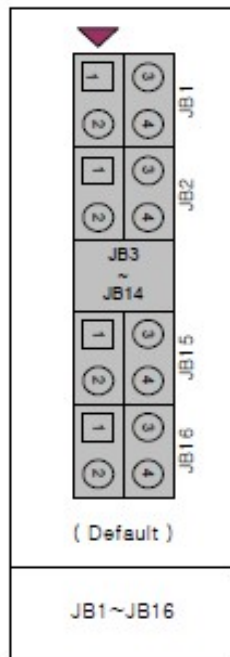


그림 34. JB1~JB16의 기본 설정

4.3.13. JC1~16.

아날로그 입력 측 Instrument amplifier의 gain 값 설정을 위한 외부 저항 연결용으로써, mezzanine 보드를 위한 포트에 예약되어 있다.

- 주의 사항 : 사용자 임의로 사용해서는 안 되며, mezzanine 보드를 사용하지 않을 경우 반드시 Shunt가 제거된 상태여야 한다.

4.3.14. JD1전류 feedback 의 전압 변환 범위 설정.

아날로그 전류 출력을 feed-back 받을 경우 전류 feed-back용 ADC의 설정된 입력 전압 모드에 따라 입력 범위를 맞추어 주기 위하여 설정한다. 전류 출력은 내부 전류 측정용의 저항 100ohm을 통하여 전압 범위 0~2V전압으로 변환되어 ADC로 입력되며, 이를 ADC의 전압 범위와 맞추고자 설정에 따라 최대 2V인 전압 범위를 5V 또는 10V 범위로 설정한다. 즉 전류 feed back이 가능한 두 번째 ADC 전압 모드의 최대 전압범위가 5V(Single 5V, Dual 5V)일 경우 Shunt를 제거하여 gain 값을 2.5배로 설정하며, 10V(Single 10V, Dual 10V)일 경우 점퍼를 삽입하여 gain 값을 5배로 설정한다.

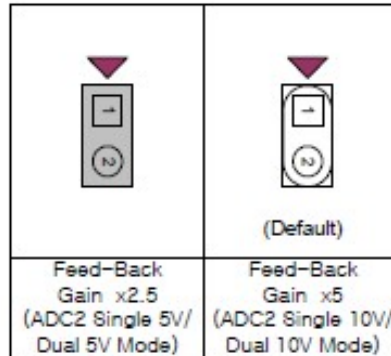


그림 35. JD1 전류 feedback의 전압 변환 범위 설정

4.3.15. JE1, JE2 ADC 입력 전압 범위 설정

아날로그 입력을 위한 ADC의 입력 전압 범위 설정을 한다. [그림 36]에서 ADC의 입력 전압 모드 4가지의 설정 및 기본 설정을 보여 주고 있으며, JE1은 첫 번째 ADC에 해당하는 채널 1~8까지의 아날로그 입력에 대한 설정이며, JE2는 두 번째 ADC에 해당하는 채널 9~16에 관한 입력 전압 범위의 설정이다.

- 주의 사항 : [그림 36]에서의 점퍼 설정 예 외의 그 어떤 설정도 유효하지 않으며, 아날로그 신호에 대한 올바른 디지털 변환 값을 얻을 수 없게 된다.

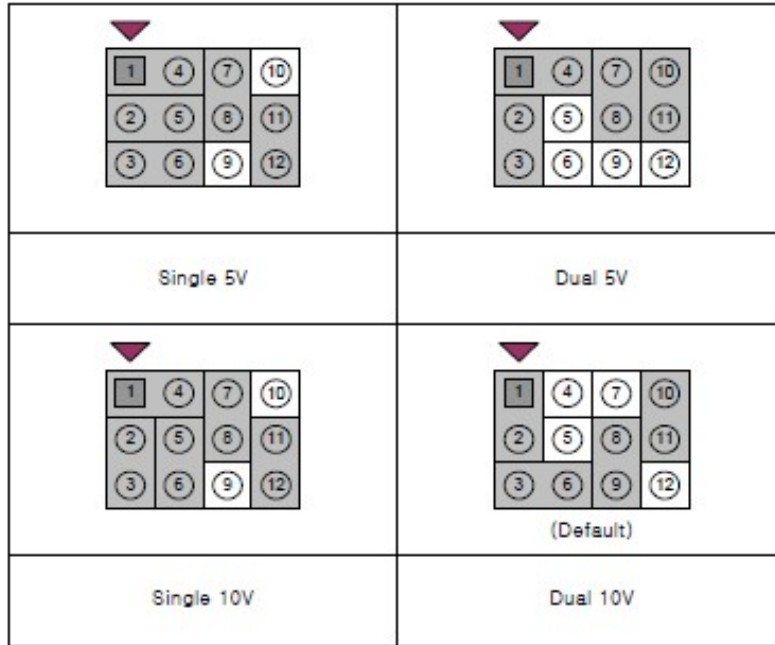


그림 36. JE1,2 ADC 입력 전압 모드 설정

4.3.16. JF1, JF2 DAC 출력 전압 범위 설정

아날로그 출력을 위한 DAC 출력 전압 범위 설정용이다. 다음 [그림 37]에서 DAC의 전압 모드 6가지의 설정 및 기본 설정을 보여 주고 있으며, JF1은 첫 번째 DAC에 해당하는 채널 1~4까지의 아날로그 출력에 대한 설정이며, JF2는 두 번째 DAC에 해당하는 채널 5~8의 출력에 관한 입력 전압 범위 설정이다.

- 주의 사항 : [그림 37]에서의 점퍼 설정 예 외의 그 어떤 설정도 유효하지 않으며, 디지털 값에 해당하는 올바른 아날로그 출력을 할 수 없게 된다.

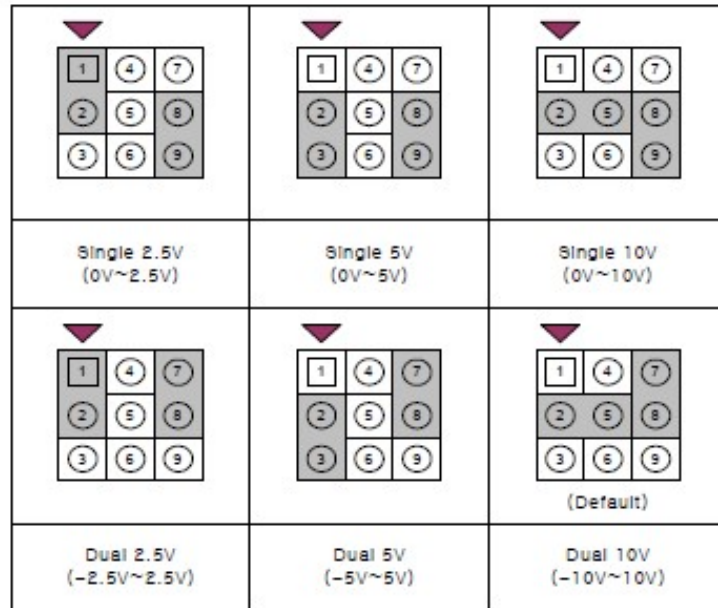


그림 37. JF1,2 DAC 출력 전압 범위 설정

4.3.17. JH1, JH2 DAC 초기화 값 설정

초기 전원 투입시 DAC 출력전압 값을 결정 한다. 즉 전원 투입에 의해 DAC 가 초기화 될 때 JH1, 2의 점퍼 설정에 따라 DAC의 내부 레지스터에 0x0000h 값 또는 0x8000h 값이 들어간다. DAC의 입력 데이터는 Straight Binary 형식으로써 전원 투입에 의한 DAC 초기화시 전압 출력 모드와 JH1, 2의 점퍼 설정 조합에 의해 초기 아날로그 출력 값이 결정된다.

JH1은 첫 번째 DAC에 해당하는 채널 1~4까지의 설정에 관한 설정이며, JH2는 두 번째 DAC에 해당하는 채널 5~8의 초기 출력에 관한 설정이다.

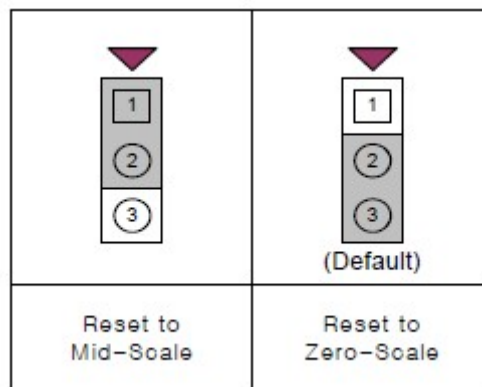


그림 38. DAC 출력 초기화

4.3.18. J1 Analog Out Voltage or Current 출력 설정

아날로그 출력 종류 설정에 사용된다. 각 채널별 J1의 설정에 따라 전류 출력 사용 또는 전압 출력 사용을 결정 할 수 있다. 각 채널별로 설정이 가능하다.

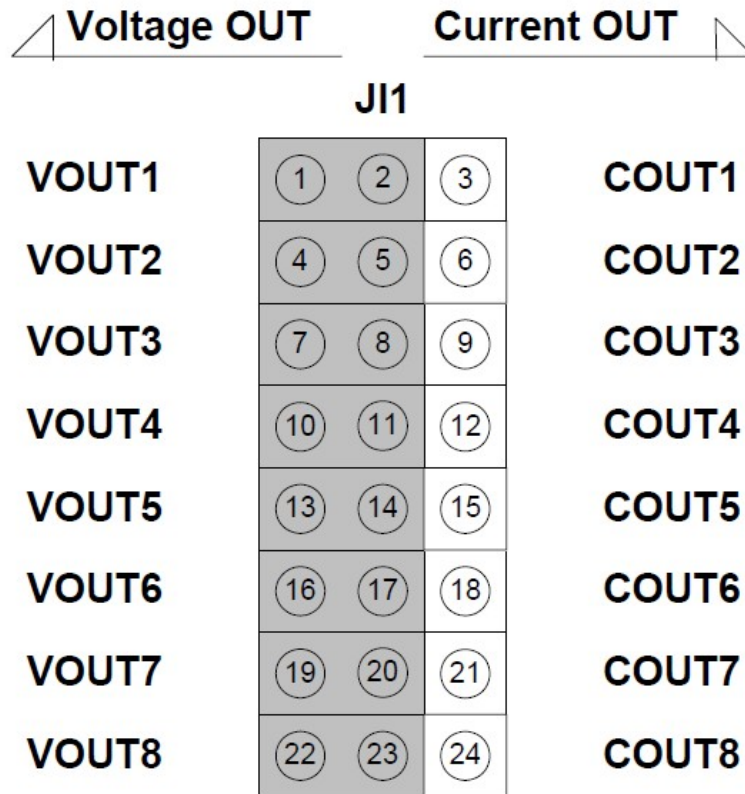


그림 39. 아날로그 출력 설정

4.4. 커넥터

4.4.1. CON1

VME 버스 인터페이스를 위한 VME 버스 표준 규격의 P1 커넥터이다.

4.4.2. CON2 입출력 커넥터

보드의 입출력 신호를 인터페이스 하기 위한 커넥터다. VME 버스 표준 규격의 P2 커넥터의 사용자 정의된 A열과 C열을 사용하며, 다음 표에 각 pin에 해당하는 신호를 설명하였다.

표 11. CON2 입출력 신호

Pin Number	Signal Name	Description
A1	DINCH1+	Positive signal digital input channel 1
C1	DINCH1-	Negative signal digital input channel 1
A2	DINCH2+	Positive signal digital input channel 2
C2	DINCH2-	Negative signal digital input channel 2
A3	DOATCH1+	Positive signal digital output channel 1
C3	DOATCH1-	Negative signal digital output channel 1
A4	DOATCH2+	Positive signal digital input channel 2
C4	DOATCH2-	Negative signal digital input channel 2
A5	GND	Ground
C5	GND	Ground
A6	+AIN_CH1	Positive signal analog input channel 1
C6	-AIN_CH1	Negative signal analog input channel 1
A7	+AIN_CH2	Positive signal analog input channel 2
C7	-AIN_CH2	Negative signal analog input channel 2
A8	+AIN_CH3	Positive signal analog input channel 3
C8	-AIN_CH3	Negative signal analog input channel 3
A9	+AIN_CH4	Positive signal analog input channel 4
C9	-AIN_CH4	Negative signal analog input channel 4
A10	+AIN_CH5	Positive signal analog input channel 5
C10	-AIN_CH5	Negative signal analog input channel 5
A11	+AIN_CH6	Positive signal analog input channel 6
C11	-AIN_CH6	Negative signal analog input channel 6
A12	+AIN_CH7	Positive signal analog input channel 7

C12	-AIN_CH7	Negative signal analog input channel 7
A13	+AIN_CH8	Positive signal analog input channel 8
C13	-AIN_CH8	Negative signal analog input channel 8
A14	+AIN_CH9	Positive signal analog input channel 9
C14	-AIN_CH9	Negative signal analog input channel 9
A15	+AIN_CH10	Positive signal analog input channel 10
C15	-AIN_CH10	Negative signal analog input channel 10
A16	+AIN_CH11	Positive signal analog input channel 11
C16	-AIN_CH11	Negative signal analog input channel 11
A17	+AIN_CH12	Positive signal analog input channel 12
C17	-AIN_CH12	Negative signal analog input channel 12
A18	+AIN_CH13	Positive signal analog input channel 13
C18	-AIN_CH13	Negative signal analog input channel 13
A19	+AIN_CH14	Positive signal analog input channel 14
C19	-AIN_CH14	Negative signal analog input channel 14
A20	+AIN_CH15	Positive signal analog input channel 15
C20	-AIN_CH15	Negative signal analog input channel 15
A21	+AIN_CH16	Positive signal analog input channel 16
C21	-AIN_CH16	Negative signal analog input channel 16
A22	GND	Ground
C22	GND	Ground
A23	Non Used	Non Used
C23	Non Used	Non Used
A24	COUT1	Current output channel 1
C24	VOUT1	Voltage output channel 1
A25	COUT2	Current output channel 2
C25	VOUT2	Voltage output channel 2
A26	COUT3	Current output channel 3
C26	VOUT3	Voltage output channel 3
A27	COUT4	Current output channel 4
C27	VOUT4	Voltage output channel 4
A28	COUT5	Current output channel 5
C28	VOUT5	Voltage output channel 5
A29	COUT6	Current output channel 6
C29	VOUT6	Voltage output channel 6
A30	COUT7	Current output channel 7
C30	VOUT7	Voltage output channel 7

A31	COUT8	Current output channel 8
C13	VOUT8	Voltage output channel 8
A32	GND	Ground
C132	GND	Ground

4.4.3. CON4 RJ45 시리얼 컨넥터.

보드의 RS 232 통신의 시리얼 port 이며, pin 사양은 다음 표와 같다.

표 12. CON4 RJ45 시리얼 컨넥터

Pin Number	Signal Name	Description
1, 8	Non used	Non used
2, 7	Non used	Non used
3, 6	GND	Ground
4	Tx	Transmitter Line
5	Rx	Receiver Line
9, 10	FGND	Frame Ground

5. 인터럽트 사용.

LKV-510 보드에서 사용되는 인터럽트는 크게 VME 버스 Slave-sub System으로서 사용되는 VME 버스 인터럽트와 자체 내장된 프로세서인 DSP에서 제공하는 DSP 외부 또는 내부 인터럽트가 존재한다. 이들 인터럽트는 LKV-510 보드에서 제공하는 각종 기능들을 효과적으로 사용하기 위하여 사용 될 수 있으며, 모든 인터럽트 발생은 하드웨어적인 점퍼 설정 또는 소프트웨어에 의해 로직으로 구성된 레지스터의 제어 그리고 DSP 내부의 레지스터의 제어에 따라 사용 여부를 결정 할 수 있다. 다음 각 항목에서 각각의 인터럽트 사용에 대해 세부적인 설명을 하였다.

5.1. VME 버스 인터럽트의 사용.

VME버스 인터럽트의 사용은 JP4의 설정과 로직 내부의 VME 버스 인터럽트 관련 레지스터인 **VISIDR**, **VGPIOR**, **VIMASKR**, **VIPENDR**을 이용하여 사용 할 수 있다. 점퍼 설정과 각각의 레지스터에 관한 설명은 이전 항목들에서 자세히 다루었다. VME 버스 인터럽트 사용에 있어 가장 우선해야 할 것이 먼저 JP4를 이용하여 VME 인터럽트 허용 및 사용하고자 하는 IRQ 레벨의 하드웨어적이 설정이다. 이후 VME 버스를 통해 VME 마스터에서 **VISIDR**(VME Interrupt Status/ID Register)에 인터럽트 사이클 기간에 데이터 버스를 통해 응답 하게 되는 VME 인터럽트 Status/ID 레지스터 값을 쓰고, 인터럽트 사용 여부의 소프트웨어적인 설정인 **VGPIOR** 1번 비트를 SET('1')함으로써 VME 버스 인터럽트 사용을 위한 기본 설정이 완료되었다.

하지만 VME 버스의 인터럽트 소스는 인터럽트 레벨 1에서 7까지로 한정되어 있으며, LKV-510보드의 경우 이 인터럽트 레벨 중에 JP4에 의해 설정된 1개의 인터럽트를 여러 가지 이벤트를 가지고 공유하여 사용 가능하게 설계되었다. **VIPENDR**은 이 이벤트의 발생을 알려주는 레지스터이며, 또한 각각의 이벤트 발생을 제어하여 인터럽트 소스로 사용 할지의 여부를 결정하게 되는 레지스터가 **VIMASKR** 레지스터이다. 즉 **VIMASKR** 레지스터와 **VIPENDR**의 각 비트는 쌍을 이룬다. 예를 들면 JP4의 하드웨어적인 설정과 **VGPIOR** 비트1의 소프트웨어적인 설정에 의해 VME 인터럽트의 사용이 가능하더라도 **VIMASKR**의 해당 이벤트에 대해 모두 불가능 상태인 Clear('0')이면, 이벤트 발생에 의해 **VIPENDR**의 레지스터가 (Set('1')) 되더라도 인터럽트 소스로 사용되지 못하여 VME 인터럽트는 발생 되지 않는다.

LKV-510 보드는 인터럽트 핸들러에 의해 인터럽터의 Status/ID를 읽는 순간 인터럽트 요청 신호가 Release 되는 ROAK(Release On Acknowledge Interrupter) 옵션을 사용한다. 인터럽트 응답 사이클 기간에 LKV-510보드의 Status/ID는 8비트의 레지스터인 **VISIDR** 내용이 데이터 버스 상에 송출 된다. **VISIDR**의 상세 내용은 이전의 항목(3.2.1.1)과 같으며, 위에서와 같이 **VISIDR**의 상위 4비트인 4~7번 비트만을 VME버스 마스터에서 보드의 고유 Status/ID 값으로 설정 가능하다. 하위 4비트는 보드 내 인터럽트를 위한 여러 이벤트의 종류를 나타내는 비트로 사용 된다.

5.1.1. VME 인터럽트를 위한 이벤트

- BDRST_VINT(Board reset vme interrupt event) :
VIPENDR과 VIMASKR의 1번 비트가 해당 이벤트와 관계된다. LKV-510보드가 초기화되면 내부 로직에 의해 발생 된다.
- DIGINA_VINT(Digital input channel 1 vme interrupt event) :
VIPENDR과 VIMASKR의 2번 비트가 해당 이벤트와 관계된다. 디지털 입력 채널 1이 ON (High'1') 될 경우 발생된다.
- DIGINB_INT(Digital input channel 2 vme interrupt event) :
VIPENDR과 VIMASKR의 3번 비트가 해당 이벤트와 관계된다. 디지털 입력 채널 2가 ON (High'1') 될 경우 발생된다.
- DTV_UISA, DTV_UISB,(DSP to VME User Interrupt Source A/B) :
VIPENDR과 VIMASKR의 3번과 4번 비트가 해당 이벤트와 관계된다.DSP에서 사용자 임의로 S/W적으로 이벤트를 발생하여 VME 인터럽트 핸들러에 인터럽트를 요구 할 수 있도록 제공된다. 이들 이벤트는 VME 버스를 통해 마스터에 의해 제어되는 VGPIOR(VME General Purpose In/Out Register)의 2번과 3번 비트를 set'1'함으로써 발생된다.

5.2. DSP 인터럽트의 사용.

LKV-510보드의 내장된 DSP는 4개의 외부 인터럽트 및 2개의 타이머 인터럽트와 1개의 Serial 인터럽트를 제공한다. 외부 인터럽트는 초기화시 부트 모드 선택을 위해 사용된다.

5.2.1. 외부 인터럽트(EINT0~EINT3)

5.2.1.1. EINT0

보드의 초기화 시 자체 발생되며, 이로 인해 DSP에서 제공하는 4가지의 부트 모드 중 부트0로 부트로더가 동작하게 된다. 보드의 초기화가 끝나게 되면 LKV-510보드의 제어를 위한 여러 가지 이벤트를 처리를 위한 인터럽트로 예약되어 있다. DIMASKR(DSP Interrupt masking register)은 EINT0의 여러 이벤트를 제어하기 위한 레지스터이며, DIPENDR(DSP Interrupt masking register)은 각각의 이벤트의 발생을 알려 주는 레지스터이다. DIPENDR과 DIMASKR의 각 Bit의 의미는 같다. 즉 DIPENDR의 특정 비트가 해당 이벤트의 발생시 set'1'하게 되면, 이를 EINT0의 소스로 사용할지의 여부를 DIMASKR의 해당 비트의 set'1'일 경우 사용이며, clear'0'일 경우 해당 이벤트의 발생에 의해 EINT0가 발생되지 않는다.

- S_LOOP_INT(Scan loop interrupt event) :
DIPENDR과 DIMASKR의 0번 비트가 S_LOOP_INT의 이벤트와 관계된다. 이는 ABCR(ADC & Bit Control Register)에 설정 되어 있는 채널 수만큼 디지털 변환된 데이터가 AIDPR(ADC Input Dual-Port-RAM)에 모두 새로 쓰이게 되면 ADC의 제어 로직에 의해 발생된다.
- DCDAPR_INT(DAC & control data access point register interrupt event) :
DIPENDR과 DIMASKR의 1번 비트가 S_LOOP_INT의 이벤트와 관계된다. DCDAPR(DAC & Control Data Access Point Register)의 각각의 비트를 logical-and 하여 이를 인터럽트를 위한 이벤트로 사용한다. 즉 VME 버스 마스터에서 보드의 제어 및 아날로그 출력을 위한 DAC값을 인터럽트 방식으로 DSP로 전달하고자 할 경우 사용되는 이벤트이다.
DCDAPR에 관한 상세한 내용은 3.3.5.2항목에 미리 설명 하였다.
- DIGINA_INT(Digital input channel 1 interrupt event) :
DIPENDR과 DIMASKR의 2번 비트가 DIGINA_INT의 이벤트와 관계된다. 디지털 입력 채널 1이 ON(High'1') 될 경우 이벤트이다.
- DIGINB_INT(Digital input channel 2 interrupt event) :
DIPENDR과 DIMASKR의 2번 비트가 DIGINB_INT의 이벤트와 관계된다. 디지털 입력 채널 2가 ON(High'1') 될 경우 이벤트이다.
- VSYSRESET_INT :
VME 버스상의 SYSRESET#신호가 유효하게 되면 발생 된다.
- VSYSFAIL_INT :

VME 버스상의 SYSFAIL#신호가 유효하게 되면 발생 된다.

- VTD_UISA, VTD_UISB, (VME to DSP User Interrupt Source A/B) :

VME 버스에서 사용자 임의로 S/W적으로 이벤트를 발생하여 DSP에 인터럽트를 요구 할 수 있도록 제공되는 이벤트이다. 이들 인터럽트 사용을 위한 이벤트는 VME 버스를 통해 버스 마스터가 제어하는 VGPIOR(VME General Purpose In/Out Register)의 2번과 3번 비트를 set'1'함으로써 발생된다.

5.2.1.2. EINT1

VME 버스 마스터를 이용하여 임의로 사용자가 S/W적으로 이벤트를 발생하여 DSP에 외부 인터럽트인 EINT1을 요구 할 수 있다. 이 이벤트의 발생은 VGPIOR(VME General Purpose In/Out Register)의 4번 비트를 set'1'함으로써 발생된다.

5.2.1.3. EINT2

UART제어를 위해 사용된다.

5.2.1.4. EINT3

VME 버스 마스터를 이용하여 임의로 사용자가 S/W적으로 이벤트를 발생하여 DSP에 외부 인터럽트인 EINT3을 요구 할 수 있다. 이 이벤트의 발생은 VGPIOR(VME General Purpose In/Out Register)의 5번 비트를 set'1'함으로써 발생된다.

5.2.2. 타이머 인터럽트(TINT0, TINT1)

DSP에서 제공하는 2개의 32bit timer를 사용하기 위한 인터럽트이다. 이 중 TINT0는 아날로그 출력력을 위하여 사용하여 사용자가 사용할 수 없으며, TINT1은 사용 가능하다. 좀 더 상세한 내용은 LKV-510보드에 내장되어 있는 DSP인 TMS320CVC33의 사용자 매뉴얼을 참조하기 바란다.

6. LKV-510 Install

KVM510 보드는 전원 투입 또는 보드의 리셋 시 점퍼 설정 되어진 아날로그 입력 모드와 내부 EEPROM에 저장 되어 있는 데이터에 의해 채널별 보상 값 등을 설정하며, 또한 내부 EEPROM에 미리 지정 되어 있는 값에 해당 되는 값을 출력하며, 이외의 여러 환경 설정 또한 자동으로 수행한다. 이때 이 모든 초기화 과정을 수행하기 위해 기본적인 환경 변수들을 EEPROM상에 입력 하여야 하는데 이 입력 과정을 LKV-510보드의 Install이라 한다.

여기서는 일반 사용자에게 의해서 설정 되어져야 할 내용을 주로 다루며, 보드 개개의 특성을 위한 설정은 공장 출하 시에 설정 되어지며 사용자에게 의해 변경 될 수 없다.

6.1. 초기화

전원 투입 또는 보드 리셋 시에 보드의 모든 초기화 과정을 수행하는 일을 한다. 이 초기화 과정에서 DSP는 현재 점퍼 설정된 아날로그 전압 범위를 자동 감지하여 그에 해당하는 자체 Test를 수행하고 EEPROM상에 저장되어 있는 데이터를 이용해 채널별 보상해야 할 값을 연산한다. 실제 ADC에 의해 데이터 변환이 이루어지면 이 연산 값을 이용해 DSP에서 데이터 보상을 하며, 보상되어진 값이 최종적으로 VME 마스터와 DSP 간의 공유 메모리로 재적재가 이루어진다. 아날로그 출력의 경우 출력 범위와 전압 또는 전류 출력에 대한 정보를 사전에 Consol 상의 명령어를 사용하여 EEPROM에 저장하여야 하며, 이 정보를 가지고 초기화 및 보상 값을 결정하게 된다. 디지털 출력의 경우 또한 초기화 과정에서 Default-On 인지 Default-Off인지를 미리 지정할 수 있다. 다음 그림은 초기화시 Consol상의 화면을 스캔한 것으로 초기화시 정보를 나타낸 것이다.

```

*****
*****
***** EEEEEEE * TTTTTTT * IIIIIIII * NN  NN *****
***** EE * TT * II * NNN NN *****
***** EE * TT * II * NN N NN *****
***** EEEEEEE * TT * II * NN N NN *****
***** EE * TT * II * NN NNN *****
***** EE * TT * II * NN  NN *****
***** EEEEEEE * TT * IIIIIIII * NN  N *****
*****
***** KUM510 Monitor Program *****
*****
***
*** Copyright(c) 2002 ETIN Systems Co.,LTD. ***
*** Commercial Board Development Team *
*****
***** Board Version : REV 2.0 Firmware Version : 1.0.0 *****
*****

KUM510 SRAM Address Cleared.
GDPRAM Test OK
EEPROM_SIZE[0xc7],getEepData OK.
===== Proc_ADCx_Mode_Check =====
ADC[1]Module: Single 10V ADC Volatge LEVEL
ADC[2]Module: Single 10V ADC Volatge LEVEL
Proc_ADCx_Mode_Check OK

===== Proc_ADCxCh_Calibration =====
Adc[1]:hp[0xe045],lp[0x804],Gain[0.998826],offset[1.594927]
Adc[2]:hp[0xe044],lp[0x802],Gain[0.998808],offset[-0.440880]
Ch[ 1]->S10V :Ys10hp[0xe031],Ys10lp[0x7fe]Gain[0.999079],Offset[-3.881796]
Ch[ 2]->S10V :Ys10hp[0xe03b],Ys10lp[0x800]Gain[0.998934],Offset[-2.180169]
Ch[ 3]->S10V :Ys10hp[0xe033],Ys10lp[0x7ff]Gain[0.999061],Offset[-2.920837]
Ch[ 4]->S10V :Ys10hp[0xe021],Ys10lp[0x7ff]Gain[0.999386],Offset[-2.255815]
Ch[ 5]->S10V :Ys10hp[0xe043],Ys10lp[0x7ff]Gain[0.998772],Offset[-3.509235]
Ch[ 6]->S10V :Ys10hp[0xe047],Ys10lp[0x801]Gain[0.998736],Offset[-1.587956]
Ch[ 7]->S10V :Ys10hp[0xe024],Ys10lp[0x7ff]Gain[0.999331],Offset[-2.365971]
Ch[ 8]->S10V :Ys10hp[0xe051],Ys10lp[0x800]Gain[0.998537],Offset[-2.993052]
Ch[ 9]->S10V :Ys10hp[0xe047],Ys10lp[0x7fc]Gain[0.998645],Offset[-6.767554]
Ch[10]->S10V :Ys10hp[0xe03b],Ys10lp[0x7fc]Gain[0.998862],Offset[-6.323850]
Ch[11]->S10V :Ys10hp[0xe03e],Ys10lp[0x7fc]Gain[0.998808],Offset[-6.433728]
Ch[12]->S10V :Ys10hp[0xe02a],Ys10lp[0x7fc]Gain[0.999169],Offset[-5.693872]
Ch[13]->S10V :Ys10hp[0xe051],Ys10lp[0x7ff]Gain[0.998519],Offset[-4.029669]
Ch[14]->S10V :Ys10hp[0xe04a],Ys10lp[0x7fd]Gain[0.998609],Offset[-5.840744]
Ch[15]->S10V :Ys10hp[0xe047],Ys10lp[0x7ff]Gain[0.998700],Offset[-3.657347]
Ch[16]->S10V :Ys10hp[0xe045],Ys10lp[0x7fe]Gain[0.998718],Offset[-4.622239]
Proc_ADCx_Calibration OK
----- DAC_INIT -----
DAC_Module[1] is Single 10V Mode
[CH1: 3],[CH2: 4],[CH3: 2],[CH4: 1]
DAC_Module[2] is Single 10V Mode
[CH5: 5],[CH6: 5],[CH7: 0],[CH8: 3]

KUM510>

```

그림 40. 초기화 화면

6.2. Consol 커맨드

LKV-510 보드의 기본적인 제어를 위한 메뉴를 제공한다. 프롬프트 상에서 “H” 또는 “?”를 입력 한 후 Enter키를 치게 되면 아래와 같이 Consol 화면이 뜬다.

```

KUME510>h
=====
l      : l ..... : Print Logo Msg.
h      : h [command]..... : Print this Msg.
d      : d [addr][length].... : Memory Dump.
f      : f [addr][data][lenth] : Memory Fill.
g      : g [addr]..... : Go Address Pointer.
testdp : testdp ..... : KUME510 Test
reg    : reg [addr][data]..... : KUME510 Register Show.
reset  : reset ..... : Board Reset.
eepclr : eepclr ..... : EEPROM clear.
adc    : adc ..... : ADC BIT
dac    : dac ..... : DAC BIT & Mode Check & Save to EEPROM
ain    : ain ..... : Analog Input 16channe
getpoint : getpoint ..... : Get AIN Reference point.
getoffset: getoffset..... : Get AOUT Offset Per Channel.
iset   : iset..... : Control & Output Init Value Set.
digio  : digio..... : Digital In/Out Test.
=====
KUME510>
    
```

그림 41. Menu print screen

6.2.1. Print Logo

LKV-510 보드의 로고 출력을 위한 메뉴이다. 로고에는 현재 보드의 Version 정보와 Firmware의 Version정보가 담겨 있다.

```

KUME510>1
*****
*****
***** EEEEEEE * TTTTTTT * IIIIIIII * NN  NN *****
***** EE      * TT      * II      * NNN  NN *****
***** EE      * TT      * II      * NN N  NN *****
***** EEEEEEE * TT      * II      * NN N NN *****
***** EE      * TT      * II      * NN  NNN *****
***** EE      * TT      * II      * NN  NN *****
***** EEEEEEE * TT      * IIIIIIII * NN  N *****
*****
***** KUME510 Monitor Program *****
*****
***                                     ***
****      Copyright(c) 2002 ETIN Systems Co.,LTD.      **
*****      Commercial Board Development Team          *
*****
***** Board Version : REV 2.0 Firmware Version : 1.0.0 *****
*****
KUME510>
    
```

그림 42. Logo print screen

6.2.2. Dump 메뉴

LKV-510 보드의 메모리 중 DSP에 의해 접근 되어지는 메모리의 내용을 확인할 수 있다.

```

KUME510>h d
d [addr] [length] : Dump memory.

KUME510>d 0x80a0840,0xf
080A0840 : 000000FF 000000FF 000000FF 000000FF .....
080A0844 : 000000FF 000000FF 000000FF 000000FF .....
080A0848 : 000000FF 000000FF 000000FF 000000FF .....
080A084C : 000000FF 000000FF 000000FF .....
KUME510>d 0x80a0840,0x10
080A0840 : 000000FF 000000FF 000000FF 000000FF .....
080A0844 : 000000FF 000000FF 000000FF 000000FF .....
080A0848 : 000000FF 000000FF 000000FF 000000FF .....
080A084C : 000000FF 000000FF 000000FF 000000FF .....
KUME510>
    
```

그림 43. Dump 메뉴

6.2.3. Fill 메뉴

LKV-510 보드의 메모리 중 DSP에 의해 접근될 수 있는 메모리의 내용을 변경할 수 있다.

```

KUME510>h f
f [addr] [data] [length] : Fill memory.

KUME510>f 0x80a0840,0xaaaa,0x10
Address : 0x0080A840
Data : 0x0000AAAA
Length : 16
KUME510>d 0x80a0840,0x10
0080A840 : 0000AAAA 0000AAAA 0000AAAA 0000AAAA .....
0080A844 : 0000AAAA 0000AAAA 0000AAAA 0000AAAA .....
0080A848 : 0000AAAA 0000AAAA 0000AAAA 0000AAAA .....
0080A84C : 0000AAAA 0000AAAA 0000AAAA 0000AAAA .....
KUME510>f 0x80a0840,0x5555,0x10
Address : 0x0080A840
Data : 0x00005555
Length : 16
KUME510>d 0x80a0840,0x10
0080A840 : 00005555 00005555 00005555 00005555 ..UU..UU..UU..UU
0080A844 : 00005555 00005555 00005555 00005555 ..UU..UU..UU..UU
0080A848 : 00005555 00005555 00005555 00005555 ..UU..UU..UU..UU
0080A84C : 00005555 00005555 00005555 00005555 ..UU..UU..UU..UU
KUME510>
    
```

그림 44. Fill 메뉴

6.2.4. Go 메뉴

주의 사항 : Firmware Version 1.0에서는 사용 되지 않는 메뉴이며, 사용해서는 안된다.

6.2.5. DPRAM Test 메뉴

LKV-510 보드 Dual-Port 메모리의 Test 메뉴이다.

```

KUME510>
KUME510>testdp
GDPRAM Test Ok

KUME510>
    
```

그림 45. Dual-Port Memory Test 메뉴

6.2.6. Register 출력 메뉴

프롬프트 상에서 "reg"라고 입력한 후 ENTER를 입력하면 LKV-510보드의 현재 레지스터의 내용과 해당 어드레스의 정보를 제공한다.

6.2.7. Reset 메뉴

프롬프트 상에서 "reset"라고 입력한 후 ENTER를 입력하면, 보드의 모든 기능을 초기화한다.

주의 사항 : 초기 전원 투입 시와 같이 모든 기능을 초기화한다.

6.2.8. EEPROM Clear 메뉴

이 메뉴에 의해 EEPROM상의 모든 데이터를 초기화 한다. 프롬프트 상에서 "eepclr"라고 입력한 후 ENTER를 입력하면 수행되며, "LKV-510>password:"라는 패스워드 입력 메뉴가 나온다. 이때 패스워드를 올바르게 입력하지 못하면 다시 프롬프트가 뜨며 메뉴는 무효화된다.

주의 사항 : 이 메뉴에 의해 EEPROM상의 모든 데이터가 초기화될 수 있으며, 이는 심각한 문제를 야기 시킨다. 예를 들면 LKV-510보드의 개개의 특성이 담긴 데이터를 모두 손실하게 됨으로써 다시 당사의 생산시의 초기 Setting 및 시험을 거쳐야 한다.

6.2.9. ADC Built-In-Test 메뉴

프롬프트 상에서 “adc”라고 입력한 후 ENTER를 입력하면, 내장되어 있는 Reference에 의해 ADC의 자체 진단을 수행 한 후 결과를 보여 준다.

```

KUME510>adc
=====ADC Module[1] BIT =====
AI BIT - REF_TEST_S_10V_1_MODE Test OK!Ref : 2.500000 Read : 2.500305
AI BIT - REF_TEST_S_10V_2_MODE Test OK!Ref : 5.000000 Read : 5.000610
AI BIT - REF_TEST_S_10V_3_MODE Test OK!Ref : 5.000000 Read : 5.000457

=====ADC Module[2] BIT =====
AI BIT - REF_TEST_S_10V_1_MODE Test OK!Ref : 2.500000 Read : 2.500305
AI BIT - REF_TEST_S_10V_2_MODE Test OK!Ref : 5.000000 Read : 5.000610
AI BIT - REF_TEST_S_10V_3_MODE Test OK!Ref : 5.000000 Read : 5.000457

KUME510>
    
```

그림 46. ADC Built-In-Test 메뉴

6.2.10. DAC Built-In-Test 메뉴

프롬프트 상에서 “dac”라고 입력한 후 ENTER를 입력하면, 현재 아날로그 출력 점퍼 설정을 자동으로 검색한다. 또한 현재 출력 모드에 해당 되는 값들을 ADC에 의해 피드백 받아 자체 테스트를 실행하고 결과를 화면상에 출력한다. 그리고 현재의 설정을 EEPROM상에 저장할 것인지를 물어 오며, 이때 'Y'를 입력하면 현재의 설정이 EEPROM상에 저장된다.

이처럼 보드의 초기화 시에 출력 모드를 자동으로 설정하지 않는 이유는 출력 모드 자동 검색 시에 사용자가 의도하지 않는 아날로그 값이 단자로 출력이 되는 것을 막기 위함이다.

주의 사항 : “dac” 메뉴는 출력 설정의 자동 검색을 위해 임의의 값을 출력하게 된다. 이는 출력 단자로 임의의 출력이 발생된다.

```

KUME510>DAC
DAC_Ch[1] BIT OK!      Ref:[5.000000] Output[5.000450V:0x8003]
DAC_Ch[2] BIT OK!      Ref:[5.000000] Output[5.000145V:0x8001]
DAC_Ch[3] BIT OK!      Ref:[5.000000] Output[5.000450V:0x8003]
DAC_Ch[4] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[5] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[6] BIT OK!      Ref:[5.000000] Output[5.000603V:0x8004]
DAC_Ch[7] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[8] BIT OK!      Ref:[5.000000] Output[5.000450V:0x8003]
DAC[1] Single 10V Mode Check!
DAC[2] Single 10V Mode Check!
DAC[1]_Mode is difference with checked DAC mode.
Do you want overrrwrite at EEPROM and Register(Y,y/N,n)?
DAC[2]_Mode is difference with checked DAC mode.
Do you want overrrwrite at EEPROM and Register(Y,y/N,n)?
Proc_DACx_Mode_Check & save parameter OK

KUME510>DAC
DAC_Ch[1] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[2] BIT OK!      Ref:[5.000000] Output[5.000145V:0x8001]
DAC_Ch[3] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[4] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[5] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[6] BIT OK!      Ref:[5.000000] Output[5.000450V:0x8003]
DAC_Ch[7] BIT OK!      Ref:[5.000000] Output[5.000298V:0x8002]
DAC_Ch[8] BIT OK!      Ref:[5.000000] Output[5.000450V:0x8003]
DAC[1] Single 10V Mode Check!
DAC[2] Single 10V Mode Check!
DAC[1]_Mode is same with checked DAC mode.
DAC[2]_Mode is same with checked DAC mode.
Proc_DACx_Mode_Check & save parameter OK

KUME510>
    
```

그림 47. DAC Built-In-Test 메뉴

6.2.11. Analog Input 메뉴

프롬프트 상에서 "ain"라고 입력한 후 ENTER를 입력하면, 현재 아날로그 입력 단자로의 입력 값을 화면 상에 출력 한다.

```

KUME510>ain
[5.000152][5.000457][5.000457][4.999542]
[4.999694][4.999542][5.000152][5.000457]
[5.000457][5.000610][5.000610][5.000000]
[4.999694][4.999847][5.000152][5.000457]
=====
    
```

그림 48. Analog Input 메뉴

6.2.12. Analog 입력 보상 데이터 획득 메뉴

프롬프트 상에서 "getpoint"라고 입력한 후 ENTER를 입력하면, ADC 및 각 아날로그 입력 채널별 특성을 보상 할 수 있도록 메뉴가 출력 된다.

주의 사항 : 이 메뉴를 사용자에게 의해 조정 되어지게 되면 아날로그 입력 측 보상 데이터가 변경 될 수 있다. 반드시 당사의 담당자와 상의한 후 조작 하여야만 한다.

6.2.13. Analog 출력 보상 데이터 획득 메뉴

프롬프트 상에서 "getoffset"라고 입력한 후 ENTER를 입력하면, 각 아날로그 출력 채널별 특성을 보상 할 수 있도록 메뉴가 출력 된다.

주의 사항 : 이 메뉴는 사용자에게 의해 조정 되어지게 되면 아날로그 출력 측 보상 데이터가 변경 될 수 있다. 반드시 당사의 담당자와 상의한 후 조작 하여야만 한다.

6.2.14. 초기 환경 설정 메뉴

프롬프트 상에서 "iset"라고 입력한 후 ENTER를 입력하면, 보드의 초기화 과정에서 사용되는 환경 설정 내용을 사용자의 요구 사항에 맞게 변경할 수 있다. 추가적인 항목으로는 아날로그 입력 초기 환경 설정, 아날로그 출력 초기 환경 설정, 디지털 출력 초기 환경 설정, 현재 환경 설정 내용으로 EEPROM상에 updata, 제품 생산 시의 환경 설정값으로 복귀 등이 있다.

```

KUME510>iset
----- KUME510 Init Value Set -----
I/i      : i ..... : Analog Input Control Value Set.
O/o      : o ..... : Analog Output & Control Value Set.
D/d      : d ..... : Digital Output Value Set.
S/s      : s ..... : All Setting Value Save.
F/f      : f ..... : Factory Setting.
E/e/.    : . ..... : Exit.
-----
Hit Key(I/i, O/o, D/d, S/s, F/f, E/e/.):
    
```

그림 49. 초기값 설정 메뉴

6.2.14.1. Analog 입력 초기 환경 설정 메뉴

초기 환경 설정 메뉴 상에서 또다시 "i"라고 입력하게 되면 아날로그 입력에 대한 세부적인 초기 환경 설정 화면으로 이동하게 된다.


```

----- Analog_In_Init_Set -----
T/t      : t ..... : Scan Time Set.
M/m      : m ..... : Scan Mode Set.
C/c      : c ..... : Scan Channel Set.
S/s      : s ..... : Scan Start/Stop.
E/e/.    : . ..... : Exit.
-----
Scan_Time[10.00000uS], Auto Scan, Scan Number of[2], Start
    
```

그림 50. Analog 초기 환경 설정 메뉴

- Scan Time Set : "T"/"t"를 입력하게 되면, 한 채널 scan 시간을 설정 할 수 있다. 이 설정 값은 항목 3.3.1.2. SCTR(Scan Time Register)에 Load 되어 지며, 스캔 시간은 SCTR항목의 계산식을 이용하던가 아니면 화면 상에 표시 되는 값을 참고하면 된다.
 최저 10uS ~ 16.39375us까지 설정 가능하다.
- Scan Mode Set : "M"/"m"을 입력하게 되면, 아날로그 입력 스캔 방식을 설정할 수 있다. Auto Scan 모드는 1번 채널에서부터 지정된 채널 만큼을 순차적으로 loop 돌면서 연속적이며 지속적으로 ADC 변환하여 메모리에 저장하는 방식이다. 반대로 Manual 모드는 두 개의 ADC가 있는데 이들 ADC입력 채널들 중 단지 1개씩만을 지정하여 ADC 변환하여 채널별 지정된 메모리에 저장하는 방식이다. 즉 매뉴얼 모드에서는 단지 두 개의 채널(각 ADC별로 1개)의 채널 만을 스캔 할 수 있다.
- Scan Channel Set : "C"/"c"을 입력하게 되면, Auto 모드 또는 Manual 모드에서의 채널을 선택할 수 있다. Auto 모드일 경우에 1번에서 입력 번호까지의 채널만큼 순차적으로 스캔하며, Manual 모드일 경우에는 입력 번호의 그룹만이 계속 스캔된다. 예를들면 Auto모드 일 경우 채널 입력 숫자가 '5' 라면 ADC 그룹1의 1~5번 채널과 그룹2의 9~13번 채널이 순차적이며 연속적으로 ADC 변환이 이루어지며, Manual모드일 경우 ADC 그룹1의 5번 채널과 ADC 그룹2의 12번 채널의 단지 2채널 만이 ADC 변환이 이루어지게 된다.
- Scan Start/Stop : "1" "0"입력에 의해 보드 초기화시에 입력 채널에 대한 ADC 변환을 시작할 것인지 결정하게 된다. "1"을 입력하게 되면 초기화와 동시에 ADC변환을 이루게 되며, "0"로 설정하게 되면 초기화 후에 ADC 변환이 이루어지지 않고 있다가 버스를 통해 레지스터를 제어함으로써 ADC변환을 시작할 수 있다.

6.2.14.2. Analog 입력 초기 환경 설정 메뉴

초기 환경 설정 메뉴 상에서 또다시 "i"라고 입력하게 되면 아날로그 입력에 대한 세부적인 초기 환경 설정 화면으로 이동하게 된다.

```

----- Analog_In_Init_Set -----
T/t      : t ..... : Scan Time Set.
M/m      : m ..... : Scan Mode Set.
C/c      : c ..... : Scan Channel Set.
S/s      : s ..... : Scan Start/Stop.
E/e/.    : . ..... : Exit.
-----
Scan_Time[10.00000uS], Auto Scan, Scan Number of[2], Start
    
```

그림 51. Analog 초기 환경 설정 메뉴

- Scan Time Set : "T"/"t"를 입력하게 되면, 한 채널 scan 시간을 설정 할 수 있다. 이 설정 값은 항목 3.3.1.2. SCTR(Scan Time Register)에 Load 되어 지며, 스캔 시간은 SCTR항목의 계산식을 이용하던가 아니면 화면 상에 표시 되는 값을 참고 하면 된다.
 최저 10uS ~ 16.39375us까지 설정 가능하다.
- Scan Mode Set : "M"/"m"을 입력하게 되면, 아날로그 입력 스캔 방식을 설정할 수 있다. Auto Scan 모드는 1번 채널에서부터 지정된 채널만큼을 순차적으로 loop 돌면서 연속적이며 지속적으로 ADC 변환하여 메모리에 저장하는 방식이다. 반대로 Manual 모드는 두 개의 ADC가 있는데 이들 ADC입력 채널들 중 단지 1개씩만을 지정하여 ADC 변환하여 채널별 지정된 메모리에 저장하는 방식이다. 즉 매뉴얼 모드에서는 단지 두 개의 채널(각 ADC별로 1개)의 채널 만을 스캔 할 수 있다.
- Scan Channel Set : "C"/"c"을 입력하게 되면, Auto 모드 또는 Manual 모드에서의 채널을 선택할 수 있다. Auto 모드일 경우에 1번에서 입력 번호까지의 채널만큼 순차적으로 스캔하며, Manual 모드일 경우에는 입력 번호의 그룹만이 계속 스캔 된다. 예를 들면 Auto모드 일 경우 채널 입력 숫자가 '5'라면 ADC 그룹1의 1~5번 채널과 그룹2의 9~13번 채널이 순차적이며 연속적으로 ADC 변환이 이루어지며, Manual모드일 경우 ADC 그룹1의 5번 채널과 ADC 그룹2의 12번 채널의 단지 2채널 만이 ADC 변환이 이루어지게 된다.
- Scan Start/Stop : "1" "0"입력에 의해 보드 초기화시에 입력 채널에 대한 ADC 변환을 시작할 것인지 결정하게 된다. "1"을 입력하게 되면 초기화와 동시에 ADC변환을 이루게 되며, "0"로 설정하게 되면 초기화 후에 ADC 변환이 이루어지지 않고 있다가 버스를 통해 레지스터를 제어함으로써 ADC변환을 시작 할 수 있다.

6.2.14.3. Analog 출력 초기 환경 설정 메뉴

초기 환경 설정 메뉴 상에서 또다시 "o"라고 입력하게 되면 아날로그 출력에 대한 세부적인 초기 환경 설정 화면으로 이동하게 된다. 초기 환경 내용으로는 전압출력인지 전류 출력인지를 설정 하여야 하며, 또한 각 채널별 초기 출력 값을 설정 하여야 한다. 전압 전류를 선택 함으로써 내부 DSP에서 그에 따른 보상 알고리즘을 구현하게 되며, 초기값을 설정함에 따라 초기화시에 내부 DSP에서 해당 채널별 값을 출력하게 된다.

- 출력 Type 설정 : 전압 또는 전류의 출력 Type를 설정하게 된다. 설정 방법으로는 각 채널별 설

정 메뉴가 나오게 되면 전류일 경우 "c"를 전압의 경우 "v"를 입력하면 된다.

- 출력값 설정 : Straight Binary Type의 Hex값을 입력하면 그에 해당 되는 출력 값이 전압 또는 전류 값으로 환산 되어 화면상에 출력 된다.

```

===== Analog_Out_Init_Set =====
T/t      : t ..... : Output Type Selection voltage or current.
I/i      : i ..... : Init value Set.
E/e/.    : . ..... : Exit.
=====
Analog Output Type[VVVVVVVV]
Hit Key A_Out Type(Current:'C'/Voltage:'V'/Next:'.'/Exit:'E')?
Analog Output Channel[1]: C
Analog Output Channel[2]: C
Analog Output Channel[3]: C
Analog Output Channel[4]: C
Analog Output Channel[5]: C
Analog Output Channel[6]: C
Analog Output Channel[7]: C
Analog Output Channel[8]: C
===== Analog_Out_Init_Set =====
T/t      : t ..... : Output Type Selection voltage or current.
I/i      : i ..... : Init value Set.
E/e/.    : . ..... : Exit.
=====
Analog Output Type[GGGGGGGG]
Hit Key A_Out Type(Current:'C'/Voltage:'V'/Next:'.'/Exit:'E')?
Analog Output Channel[1]: V
Analog Output Channel[2]: V
Analog Output Channel[3]: V
Analog Output Channel[4]: V
Analog Output Channel[5]: V
Analog Output Channel[6]: V
Analog Output Channel[7]: V
Analog Output Channel[8]: V
===== Analog_Out_Init_Set =====
T/t      : t ..... : Output Type Selection voltage or current.
I/i      : i ..... : Init value Set.
E/e/.    : . ..... : Exit.
=====
Ch[1:0.000000 V]:0x8000=>[5.000076 V]
Ch[2:0.000000 V]:0x4000=>[2.500038 V]
Ch[3:0.000000 V]:0x2000=>[1.250019 V]
Ch[4:0.000000 V]:0x1000=>[0.625010 V]
Ch[5:0.000000 V]:0xa000=>[6.250095 V]
Ch[6:0.000000 V]:0xc000=>[7.500114 V]
Ch[7:0.000000 V]:0xe000=>[8.750134 V]
Ch[8:0.000000 V]:0xffff=>[9.999999 V]
===== Analog_Out_Init_Set =====
T/t      : t ..... : Output Type Selection voltage or current.
I/i      : i ..... : Init value Set.
E/e/.    : . ..... : Exit.
=====

```

그림 52. Analog 출력 초기 환경 설정 메뉴

6.2.14.4. Digital 출력 초기 환경 설정 메뉴

초기 환경 설정 메뉴 상에서 또다시 "d"라고 입력하게 되면, 디지털 출력에 대한 세부적인 초기 환경 설정 화면으로 이동하게 된다. 초기 환경 내용으로는 초기 값이 출력 On인지 출력 Off인지를 설정하게 된다.

```

===== Digital Out Init Value Set =====
A/a      : a ..... : Digital Output Channle 1(D0A) Selection.
B/b      : b ..... : Digital Output Channle 2(D0A) Selection.
1/0      : 1/0 ..... : Digital Output ON(1) / OFF(0).
E/e/.    : . ..... : Exit.
=====
Digital Output Channel 1(D0A): OFF(0), Digital Output Channel 2(D0B): OFF(0)
    
```

그림 53. Digital 출력 초기 환경 설정 메뉴

6.2.14.5. 초기 환경 설정 내용 저장 메뉴

초기 환경 설정을 마쳤으면 “s”를 입력 하게 되면 ”Init Value EEPROM Write OK.“라는 메시지가 뜨고 성공적으로 EEPROM상에 설정 내용이 저장 된다.

6.2.14.6. 초기 환경 설정 내용 생산 시 값으로 복귀 메뉴

초기 환경 설정이 잘못된 내용으로 저장되었을 경우 “f”를 입력하게 되면 ”Factory Init Value EEPROM Write OK.“라는 메시지가 뜨고 생산시 설정되었던 값으로 복귀 된다.

6.2.15. Digital 출력 메뉴

Consol 상에서 디지털 출력 2채널 및 입력 2채널을 제어와 모니터링을 가능하게 한다.

```

KUME510>digio
=====
O/o      : o .....: Digital Output.
I/i      : i .....: Digital Input.
.        : . .....: Exit.
=====

1        : 1 .....: Digital Out Channel ON.
0        : 0 .....: Digital Out Channle OFF.
T        : T .....: Digital Out Channel Toggle.
C        : C .....: Digital Out Channel Change.
E/e/.    : . .....: Digital Out Function Exit.
=====
digina_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[ON (1)] ,DIB:[ON (1)]
digina_int_s_routin
digina_int_s_routinN (1), DIA:[ON (1)] ,DOB:[ON (1)] ,DIB:[ON (1)]
digina_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[ON (1)] ,DIB:[ON (1)]
digina_int_s_routin
digina_int_s_routinN (1), DIA:[ON (1)] ,DOB:[ON (1)] ,DIB:[ON (1)]
digina_int_s_routin
diginb_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[ON (1)] ,DIB:[ON (1)]
diginb_int_s_routin
diginb_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[OFF(0)] ,DIB:[OFF(0)]
diginb_int_s_routin
diginb_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[ON (1)] ,DIB:[ON (1)]
diginb_int_s_routin
diginb_int_s_routinFF(0), DIA:[OFF(0)] ,DOB:[OFF(0)] ,DIB:[OFF(0)]
diginb_int_s_routin
DIG>>Hit key('I/i':DIG_IN, 'O/o':DIG_OUT, '.' :Exit)!
KUME510>
    
```

그림 54. Digital 출력 메뉴

7. LKV-510TM

KVM510 보드 사용에 있어 단자대의 역할을 하는 Terminal 보드이다. LKV-510 보드와는 VME 버스의 J2의 사용자 정의되어 있는 A열과 C열을 사용하여 후면 결선되며, LKV-510 보드의 전면으로 Connector가 있어 단자대로 사용된다.

7.1. LKV-510TM 보드 단자대 사양

Field로의 입출력 신호를 LKV-510보드와 결선하기 위한 최종 단자 이다. 각 단자의 설명은 다음 표와 같다.

표 13. LKV-510TM 단자 구성

Terminal Number	High	Low	비고
1	+AIN_CH1	+AIN_CH2	Analog Input Terminal
2	-AIN_CH1	-AIN_CH2	
3	GND	GND	
4	+AIN_CH3	+AIN_CH4	
5	-AIN_CH3	-AIN_CH4	
6	GND	GND	
7	+AIN_CH5	+AIN_CH6	
8	-AIN_CH5	-AIN_CH6	
9	GND	GND	
10	+AIN_CH7	+AIN_CH8	
11	-AIN_CH7	-AIN_CH8	
12	GND	GND	
13	+AIN_CH9	+AIN_CH10	
14	-AIN_CH9	-AIN_CH10	
15	GND	GND	
16	+AIN_CH11	+AIN_CH12	
17	-AIN_CH11	-AIN_CH12	
18	GND	GND	
19	+AIN_CH13	+AIN_CH14	
20	-AIN_CH13	-AIN_CH14	
21	GND	GND	

22	+AIN_CH15	+AIN_CH16	
23	-AIN_CH15	-AIN_CH16	
24	GND	GND	
25	CVOUT1	GND	Analog Output Terminal
26	CVOUT2	GND	
27	CVOUT3	GND	
28	CVOUT4	GND	
29	CVOUT5	GND	
30	CVOUT6	GND	
31	CVOUT7	GND	
32	CVOUT8	GND	
33	DINCH1+	DINCH2+	Digital Input Terminal
34	DINCH1-	DINCH2-	
35	DOUTCH1+	DOUTCH2+	Digital Output Terminal
36	DOUTCH1-	DOUTCH2-	
37	EXT_RIN1	EXT_RIN2	Non Used
38	GND	GND	GND

8. 주의 사항

CAUTION

- VME Rack에서 가장 왼쪽에 위치한 보드는 System Controller로 설정할 것.
- System Controller 보드는 하나의 Rack에 하나만 장착할 것.
- System Controller 보드 이외의 보드는 마스터/Slave 보드로 설정할 것.
- LKV-510 보드가 장착되는 Rack의 GND는 FGND와 직접 연결 하거나 Capacitor를 통해 연결할 것.

WARNING

- LKV-510 보드는 정전기(Electrostatic Discharge)에 취약할 수 있으니, 보드 취급 시 주의할 것.
- LKV-510 보드를 Rack에 장착할 시에는 가능하면 전원을 끄고 작업할 것.
- Rack이 접지되지 않았을 경우 감전의 우려가 있으므로, 반드시 접지 여부를 확인하고, 물이나 땀이 묻은 손으로 작업하지 말 것.



주엘케이일레븐

138-809 서울특별시 송파구 가락2동 545-5번지 동명빌딩 3층

<http://www.lk11.com>, 전화:02-3012-3788