

LKV-520

HW 사용자 설명서

Board Rev. 1.1

2009년 03월 12일



알림

여기에 실린 내용은 제품의 성능 향상과 신뢰도의 증대를 위하여 예고없이 변경될 수도 있습니다.

여기에 실린 내용의 일부라도 엘케이일레브의 사전 허락없이 어떠한 유형의 매체에 복사되거나 저장될 수 없으며 전기적, 기계적, 광학적, 화학적인 어떤 방법으로도 전송될 수 없습니다.

㈜엘케이일레브

경기도 성남시 중원구 상대원동 191-1 SKn테크노파크 메가동 1306호

LKV-520은 ㈜엘케이일레브의 등록상표입니다.

Document Title: LKV-520 HW 사용자 매뉴얼

48 Channels Bidirectional Digital in/out board

DSP: TMS320VC33PGE-150 (DSP Option)

Revision History:

<u>Rev. No.</u>	<u>History</u>	<u>Draft data</u>	<u>Remark</u>
Rev 0.0	Initial Release	APR/25/2002	Preliminary
Rev 1.0	HW Revision	MAY/24/2002	Final

차 례

알	림.....	2
1. 소개		8
1.1. LKV-520 보드 사양		8
1.2. LKV-520 Address Map		11
2. 하드웨어 구조.....		12
2.1. 블록도.....		12
2.2. 블록별 설명.....		13
2.2.1. VME Interface		13
2.2.2. CPU Interface		14
2.2.3 외부 메모리 Interface(SRAM 실장 버전)		15
2.2.4 Serial 통신 Interface(DSP 실장 버전).....		15
2.2.5 Digital In/Out Signal Interface(16CHs FDIO) – P2/ P3		15
2.2.5.1. 24V Digital Out (Open collector type for Field Accessible).....		16
2.2.5.2. 24V Digital In (Field Accessible)		18
2.2.6. Digital In/Out Signal Interface (32CHs TDIO) – P2/ P3.....		21
2.2.6.2. 5V Digital In(Terminal Accessible)		23
2.3. Channel Indicator Interface		26
3. 하드웨어 설정		27
3.1. 외형도.....		27
3.1.1. 주요 부품 위치		28
3.1.2. 커넥터 및 HEADER 위치.....		29
3.1.3. 전면판		30
3.2. HEADER SETTING		32
3.2.1. VME Bus Interface.....		32
3.2.2. Reset Operation Setting		32

3.2.3. FPGA Programming Interface.....	33
3.2.4. CPU Interface/ Interrupt Setting.....	33
3.2.5. CH Selector Mode(Low/ High) Setting.....	34
3.2.6. 16CH(0~15) Digital Input/ Output Setting – FDIO.....	34
3.2.7. 32CH(16~47) Digital Input/ Output Setting – TDIO.....	35
3.3. Connector & Socket 핀 번호 정의.....	37
3.3.1. P1 (VME BUS 커넥터 핀 번호).....	38
3.3.2. P2 (Rear Digital In/Out).....	39
3.3.3. P3 (Front Digital In/Out).....	40
3.3.4. Serial 통신 포트(RS-232C).....	41
3.3.5. Socket 핀 정의.....	41
3.3.5.1. VME Extension SMD Socket (J1).....	42
3.3.5.2. CPU Extension SMD Socket (J7, J8).....	44
3.3.5.3. 520-LED board Stacking Socket (J5, J6).....	46
4. 메모리 MAP.....	47
4.1. CPU 메모리 Map(TMS320VC33PGE-150).....	47
4.2. EPROM 메모리 Map.....	47
4.3. Register/Address Map.....	47
5. 디바이스별 설명.....	48
5.1. TMS320VC33PGE-150.....	48
5.2. XCS20-3TQ144.....	48
5.3. M27C4001-12FI.....	48
5.4. K6R1016V1C-T12.....	48
5.5. UDN2543B.....	48
5.6. TLP620-4.....	49
5.7. 74LS641-1.....	49
6. 주의 사항.....	50

그림 목차

그림 1. LKV-520 Block Diagram.....	12
그림 2 VME Interface	13
그림 3. CPU Interface	14
그림 4. 24V DIGITAL IN/OUT(16CHs FDIO)	15
그림 5. LKV-520 24V DIGITAL OUTPUT SCHEMATIC.....	17
그림 6. UDN2543B BLOCK DIAGRAM.....	17
그림 7. Digital Output Application.....	18
그림 8. FDIO DIGITAL INPUT	18
그림 9. Digital 입력의 간략한 회로	19
그림 10. 전압 출력에 대한 Digital 입력.....	19
그림 11. Open-Collector 출력에 대한 Digital 입력	20
그림 12. 접점 출력에 대한 Digital 입력.....	20
그림 13. TDIO DIGITAL IN/ OUT	21
그림 14. TDIO DIGITAL OUTPUT	22
그림 15. 32 개 채널의 TTL level Digital Output 의 동작	22
그림 16. TDIO DIGITAL INPUT.....	23
그림 17. Digital 입력의 간략한 회로.....	24
그림 18. 전압 출력에 대한 Digital 입력.....	24
그림 19. Open-Collector 출력에 대한 Digital 입력	25
그림 20. 접점 출력에 대한 Digital 입력.....	25
그림 21. CH INDICATOR INTERFACE	26
그림 22. LKV-520 Rev 1.1 의 외형도.....	27
그림 23. LKV-520 의 주요부품 배치도.....	28
그림 24. LKV-520 의 커넥터 및 HEADER	29
그림 25. LKV-520 전면판	30
그림 26. VME BUS INTERFACE HEADER	32
그림 27. RESET HEADER	32
그림 28. FPGA HEADER.....	33
그림 29. CPU HEADER.....	33
그림 30. CH SELECTOR HEADER	34
그림 31. HSEL FDIO HEADER	34
그림 32. HSEL(DIO) HEADER BLOCK.....	35
그림 33. HSEL(TDIO) HEADER DESCRIPTION	36
그림 34. LKV-520 Connector & Socket 위치	37
그림 35. CON9 핀 정의	41

그림 36. LKV-520 Socket 배치도 41
그림 37. VME Extension Socket..... 42
그림 38. CPU Extension Socket 44
그림 39. 520 & 520-LED Socket 핀 정의 및 Connection..... 46

표 목차

표 1. LKV-520 보드 사양9
표 2. LKV-520 ADDRESS MAP 11
표 3. P1 Connector (CON4) 핀 정의 38
표 4. P2 Connector(CON5) 핀 정의 39
표 5. P3 Connector(CON6) 핀 정의 40
표 6. VME Extension Socket J1 핀 정의 43
표 7. CPU Extension Socket J7 핀 정의 44
표 8. CPU Extension Socket J8 핀 정의 45

1. 소개

LKV-520 보드는 VME SLAVE 보드로 VME BUS 기반으로 하여 다양한 Digital Input/Output 기능을 제공하기 위해 개발된 보드이다. 16개의 bidirectional & optical isolated 24V In/Out 채널과 32개의 bidirectional 5V In/Out 채널을 제공한다. 두 가지 종류(24V, 5V level)의 입출력에 대한 적용이 용이하며 전원 분리는 보드 내부 및 외부 터미널 보드에서 실시하도록 설계되어 있다.

선택 사양으로는 TI사의 3X계열 DSP(Digital Signal Processor)를 자체 CPU(TMS320VC33PGE-150)로 장착하여 Serial 통신이 제공되며 RS-232C 포트를 통하여 Digital In/Out data를 Access 및 Monitoring 할 수 있다. 자체 CPU인 TMS320VC33PGE-150 Digital Signal Processor (34K x 32-Bit Dual Access SRAM, Floating-Point Digital Signal Processor, 75MIPS)를 사용하여 1 개의 serial port를 통해 RS232C interface로 FPGA를 통한 Digital In/Out data를 Monitoring하고 BIT 기능을 사용할 수 있다. 512KB의 EPROM으로 DSP Booting device로 사용할 수 있다. 추가적인 기능의 확장성은 Extension Board Stacking을 통해 VME BUS와 DSP signal을 공유하여 실시할 수 있다. 이를 통해 다양한 구성의 application이 가능하다. 아울러 (주)엘케이일레븐에서는 사용자의 요구에 의한 보드 기능 추가 및 system integration consulting 등 다양한 기술적인 지원을 통하여 사용자의 편의를 최대한 도모하고 있다.

1.1. LKV-520 보드 사양

- CH specification 0 ~ 15 CH : 24VDC Relay In/Out, 30V Max, open collector 700mA/CH Max
16 ~ 47 CH : 5VDC TTL In/Out, open collector 48mA/CH Max(I_{OL})
- FPGA XCS20-3TQ144 (Xilinx, SPARTAN)
950 Logic cells, 20,000 gate, 400 CLB, 160 User I/O
- Power Driver UDN2543B(Allegro): 4CHs Open collector Output, 24V, Max 700mA/CH
- TTL Output SN74LS641-1(TI): 5V, Open collector Output, Max 48mA/CH
- TTL Input N74F240D (Philips): 8-bit inverting buffer, 64mA/CH
- Processor TMS320VC33PGE-150, 150MFLOPS, 75 MIPS, 32bit high performance
- Memory Internal RAM: 34K x 32bit(1.1Mbit)
External RAM: K6R1016V1C-T12,
One wait state accessed 64K x 32bit external SRAM
EPROM: M27C4001, 512KB EPROM (Boot Loader available)
8bit Access, Memory-Mapped-I/O 방식 제어
Dual port memory :
One 512 words dual port memory, One 2048 words dual port memory.
- Emulator Port DSP emulator port supported
- Serial Port UART controller TL16C550C 사용

- 1개의 RS232C interface port
- 전면판에 RJ45 type으로 장착
- Timers DSP 2개의 timer 제공
- VME Interface FPGA Logic으로 구현됨
- VME address mode :
 - Standard address mode (A24)
 - A24 supervisory program access, AMCODE = 0X3Eh
 - A24 supervisory data access, AMCODE = 0X3Dh
 - A24 non-privileged program access, AMCODE = 0x3Ah
 - A24 non-privileged data access, AMCODE = 0x39h
 - Short address mode (A16)
 - A16 supervisory access, AMCODE = 0X2Dh
 - A16 non-privileged access, AMCODE = 0x29h
- VME address setting :
 - 보드 부품 면 위의 Header Setting에 의한 low/high address (A08~ A23)
- VME bus Interrupt-Sub-System :
 - Programmable Status/ID Setting.
 - Option ROAK(Release On Acknowledge Interrupter).
 - 하드웨어 또는 소프트웨어에 의한 interrupt enable/disable.
 - VMEbus Address(A16, A24), Data(D16), Interrupt(IRQ)
 - VMEbus Slave로서의 모든 기능 지원
- Board Size 표준 VMEbus size - 160 x 233.35 mm 1 slot에 장착 가능
- Isolation Signal Isolation (TLP620-4): Max 5000Vrms, 0~15 CHs
 - 24V Digital In/Out On-board Photocoupler
 - Optical Isolation 1500V External GND(TG) to Internal GND(DGND).
- Front Panel Status LED :RUN (Amber), FAIL (Red), VME (Green), +24V (Green)
 - Reset switch (for DSP), RJ-45 connector (RS-232 통신)

표 1. LKV-520 보드 사양

CPU	TMS320VC33PGE-150	DSP
Channels	Field Accessible	All DI / DO CHs are bidirectional
	Digital IN/OUT: 16 CHs	
	Terminal Accessible	
	Digital IN/OUT: 32 CHs	
Power Requirements	VME Bus 전원(+5VDC, 12VDC)	Bus 및 Ext 전원 사용
	External 전원(+24VDC, +5VDC)	

External Memory Access	EPROM, SRAM	
System Isolation	16 CHs independent optical Isolation	
	32 CHs dependent on Terminal B/D	
Isolation Voltage	Minimum 5000Vrms (Photocoupler)	TLP620-4GB
Digital Input type	0 ~ 24VDC(without Terminal B/D)	16 CHs
	0 ~ 5VDC(with Terminal B/D)	32 CHs
Digital Output type	0 ~ 24VDC(without Terminal B/D) Open collector Output Maximum output current: 700mA per CH	16 CHs
	0 ~ 5VDC(with Terminal B/D) Open collector with pull-up resister Maximum output current: 48mA per CH	32 CHs (I _{OL} Max = 48mA)
Serial Port	RS-232 통신 Monitoring Mode Access	SCI with DSP
Front Panel Configure	Reset S/W, LED, Serial Port, P3 Access (48CHs Access)	
Bus Interface	VME(Address: A24/ A16, Data: D16)	VME BUS
Status Indicator	RUN(YELLOW), FAIL(RED), VME(GREEN), +24V(GREEN) CH Access (48CHs indication: GREEN)	SMD LED for CHs
Board ID	Header Setting on Board	
I/O Access	Rear (P2), Front (P3), Ext Power(P2)	
PCB Layer	6 layer/ 1.6T	
PCB Size	VME 6U	
Operating Temperature	-20°C ~ +75°C	
Relative Humidity	5 to 90%, noncondensing	

1.2. LKV-520 Address Map

표 2. LKV-520 ADDRESS MAP

VME Address	사 양	Access Data
0xF0000000 ~ 0xF0FFFFFF	VMEbus A24 (VME MASTER)	D16, D8
0xF0xxxx00 (x: User configurable)	FDIO READ REGISTER	D16, D8
0xF0xxxx04 (x: User configurable)	TDIO-1 READ REGISTER	D16, D8
0xF0xxxx06 (x: User configurable)	TDIO-2 READ REGISTER	D16, D8
0xF0xxxx02 (x: User configurable)	FDIO WRITE REGISTER	D16, D8
0xF0xxxx08 (x: User configurable)	TDIO-1 WRITE REGISTER	D16, D8
0xF0xxxx0C (x: User configurable)	TDIO-2 WRITE REGISTER	D16, D8
0xF4000000 ~ 0xF400FFFF	VMEbus A16 (VME MASTER)	D16, D8
0xF400xx00 (x: User configurable)	FDIO READ REGISTER	D16, D8
0xF400xx04 (x: User configurable)	TDIO-1 READ REGISTER	D16, D8
0xF400xx06 (x: User configurable)	TDIO-2 READ REGISTER	D16, D8
0xF400xx02 (x: User configurable)	FDIO WRITE REGISTER	D16, D8
0xF400xx08 (x: User configurable)	TDIO-1 WRITE REGISTER	D16, D8
0xF400xx0C (x: User configurable)	TDIO-2 WRITE REGISTER	D16, D8

예제 1) VME STANDARD ADDRESS (A24 사용)

가. HEADER SETTING

- A. H4 OPEN 상태
- B. H1, H2 ALL SET 상태

나. FDIO ADDRESS ACCESS

- A. FDIO **WRITE ACCESS: 0xF0000002**
- B. FDIO **READ ACCESS: 0xF0000000**

다. TDIO ADDRESS ACCESS

- A. TDIO-1 **WRITE ACCESS: 0xF0000008**
- B. TDIO-2 **WRITE ACCESS: 0xF000000C**
- C. TDIO-1 **READ ACCESS: 0xF0000004**
- D. TDIO-2 **READ ACCESS: 0xF0000006**

2. 하드웨어 구조

2.1. 블록도

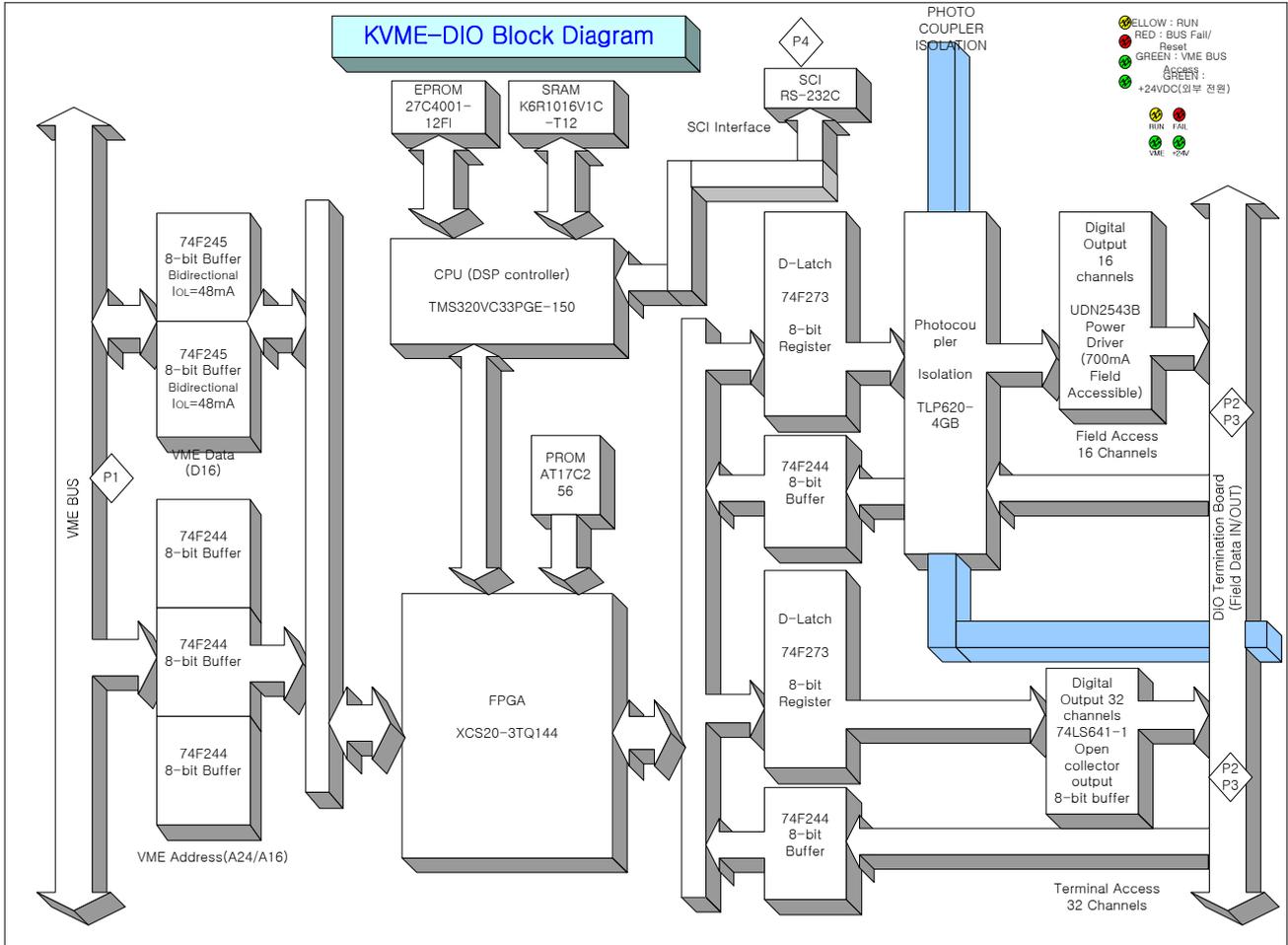


그림 1. LKV-520 Block Diagram

2.2. 블록별 설명

2.2.1. VME Interface

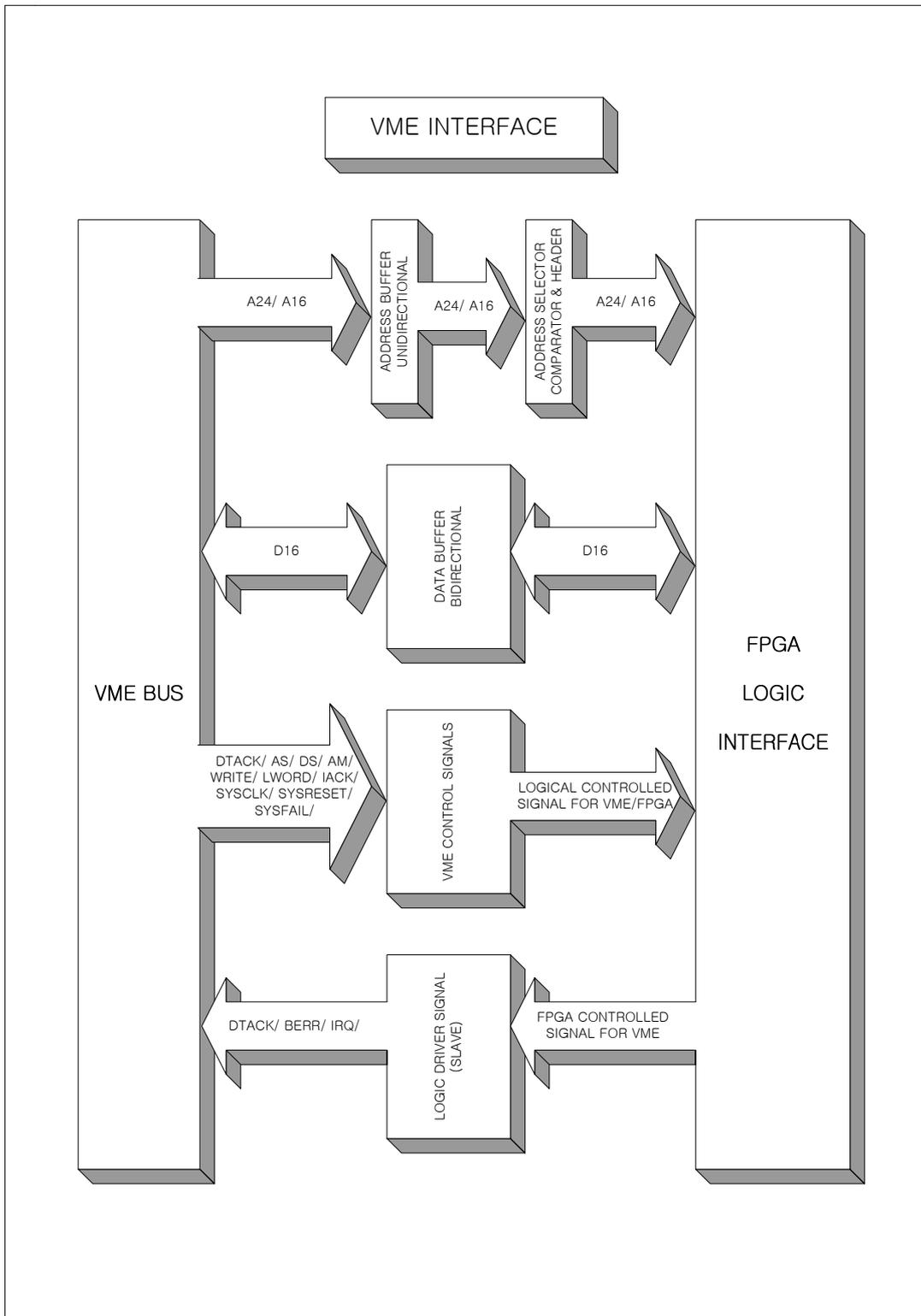


그림 2 VME Interface

2.2.2. CPU Interface

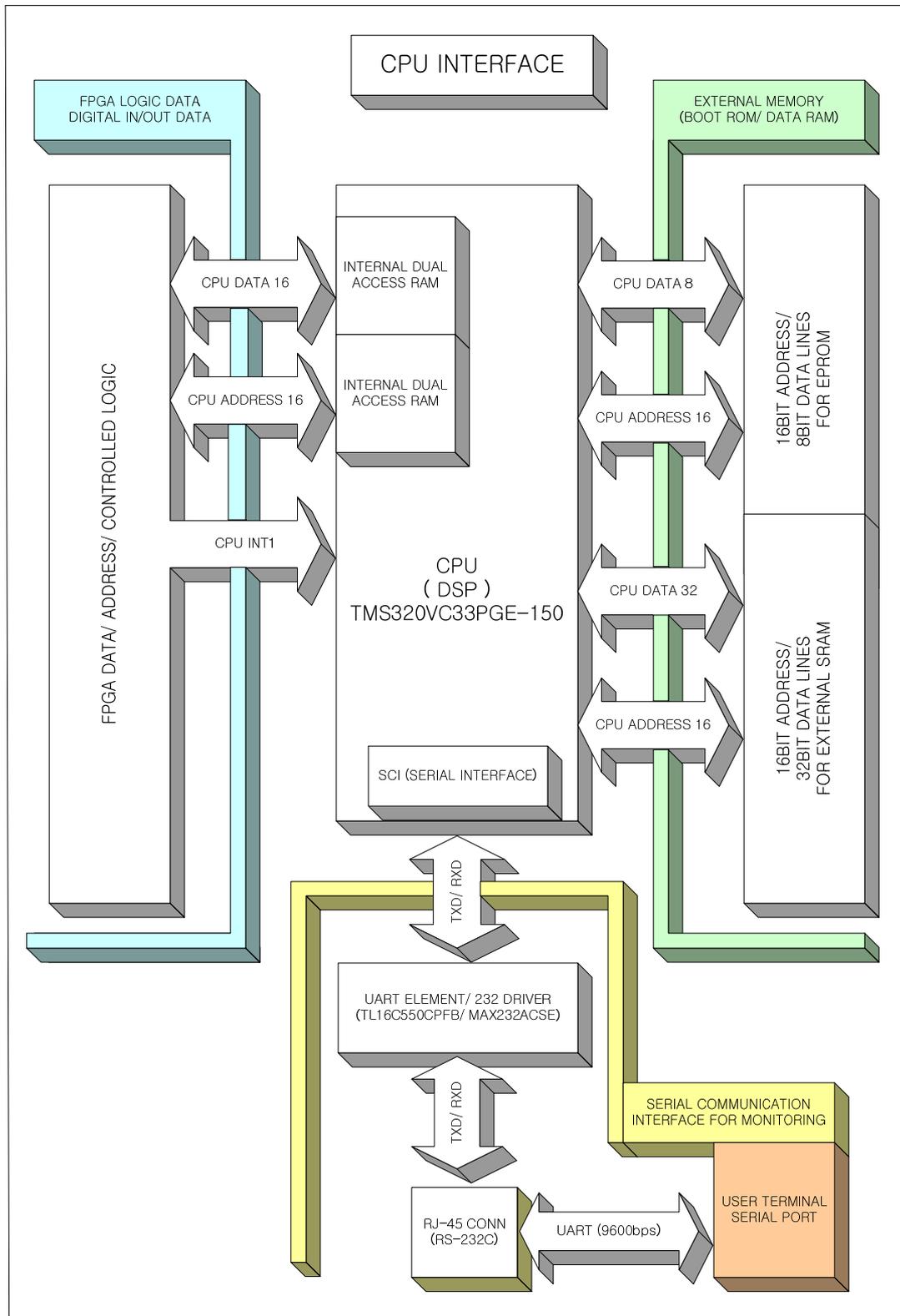


그림 3. CPU Interface

2.2.3 외부 메모리 Interface(SRAM 실장 버전)

2.2.4 Serial 통신 Interface(DSP 실장 버전)

2.2.5 Digital In/Out Signal Interface(16CHs FDIO) – P2/ P3

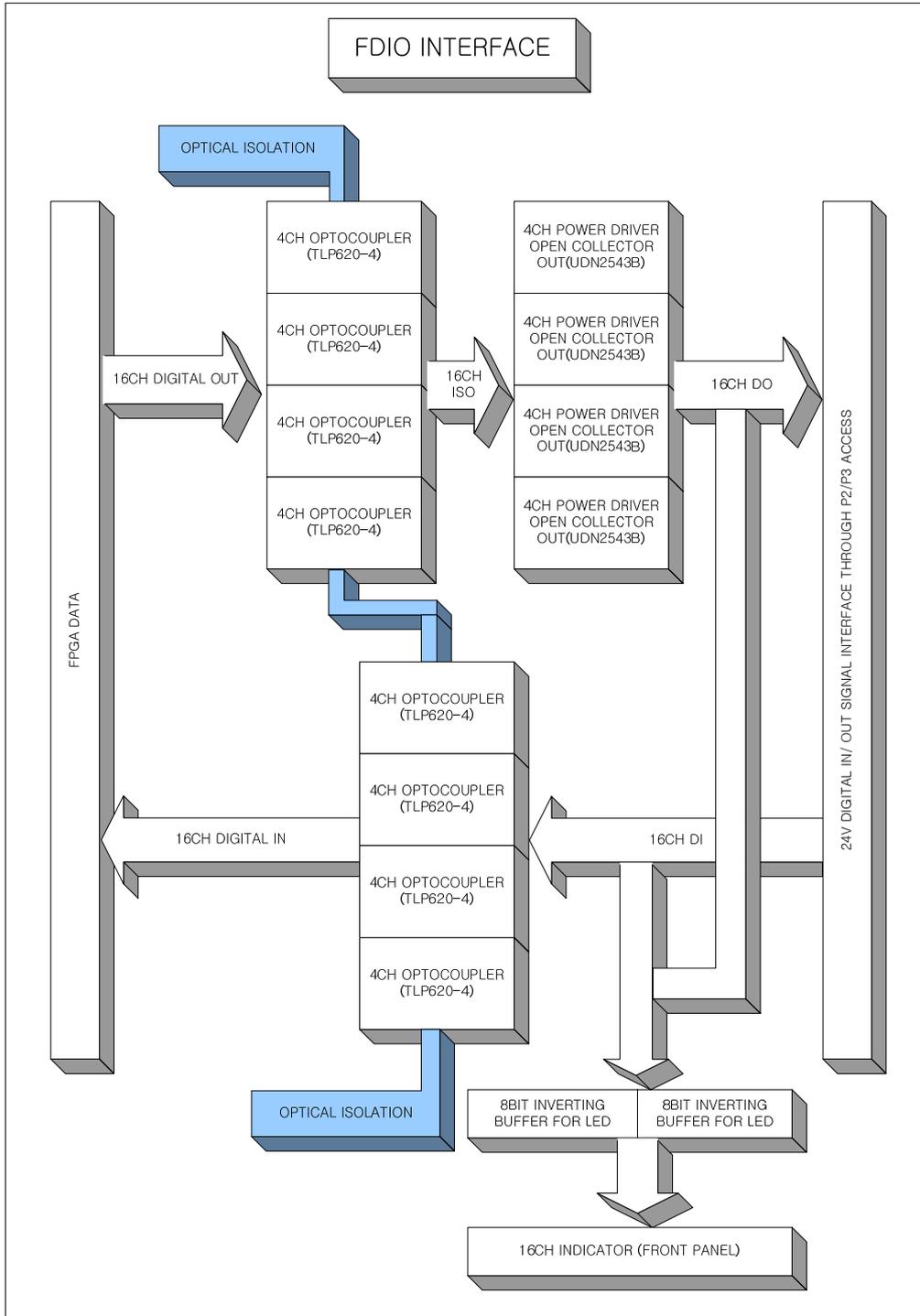


그림 4. 24V DIGITAL IN/OUT(16CHs FDIO)

LKV-520 보드의 FDIO(Field Accessible Digital In/Out) 16개의 채널은 양방향의 입출력이 가능하도록 설계되었고, 입출력 전 채널의 절연이 필수적으로 포함되어 있으며, 입력 범위는 0 ~ 30V 이다. VILH (DIGITAL LOW 입력 최고 전압)은 12V이고, VIH (DIGITAL HIGH 입력 최저 전압)은 16V이다. 또한, 각 채널의 절연범위는 5000V rms이다. 각 채널의 VME bus측의 logical data와 실제 입출력 레벨은 inverse 된 결과와 같다. 즉, logical 'L' output이면, 출력되는 output level은 High voltage(24V)이다. 또한 logical 'H' output이면, 출력되는 output level은 Low voltage(0V)이다. 입력의 경우도 마찬가지로 외부에서 입력되는 전위와 logical data는 inverted된 값이 VME bus측으로 입력된다.

2.2.5.1. 24V Digital Out (Open collector type for Field Accessible)

LKV-520 보드의 24V 레벨의 출력을 내보낼 수 있는 16개 채널의 DIGITAL OUT 동작은 아래와 같다.

각각 4채널의 Open-Collector 출력 디바이스인 UDN2543B를 사용하였다. 각각의 4채널의 출력은 On 상태에서 700mA까지 전류를 sink할 수 있으며, 최대 출력 전류는 35V 이다. 채널 별 독립적으로 최대 25V의 전압에서 과전류 보호 회로가 1A 전류 일 때 동작하게 된다. Relay, Solenoids, DC stepper motor 들의 inductive 부하에 대한 voltage clamp를 위한 diode가 내장 되어있다. [그림 5]는 UDN2543B 2EA를 통해 설계된 520보드의 출력 회로이다. [그림 6]은 UDN2543B의 한 CIRCUIT의 BLOCK DIAGRAM이다. [그림 7]은 Digital Output을 이용한 application이다.

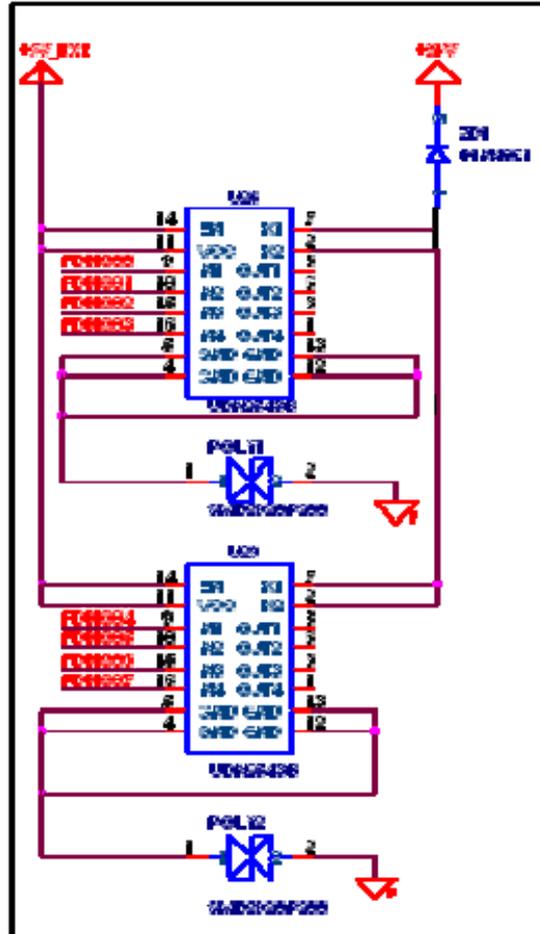


그림 5. LKV-520 24V DIGITAL OUTPUT SCHEMATIC

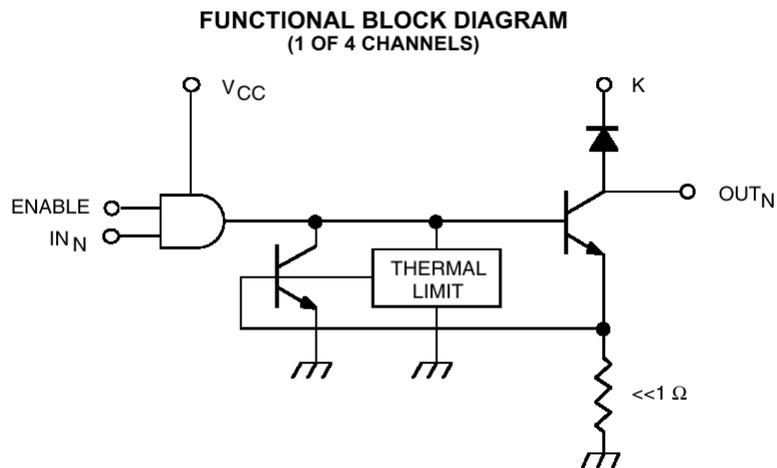


그림 6. UDN2543B BLOCK DIAGRAM

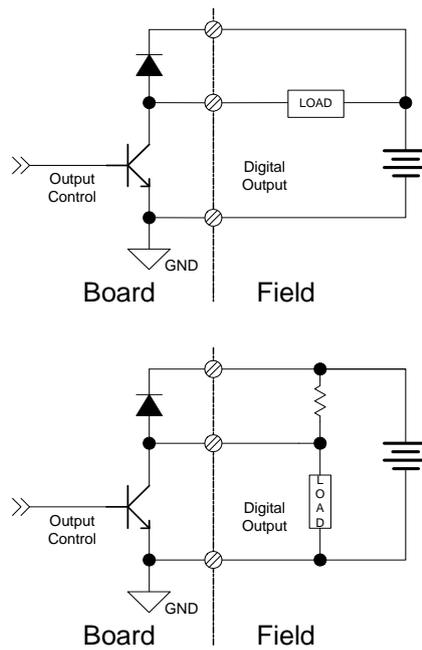


그림 7. Digital Output Application

2.2.5.2. 24V Digital In (Field Accessible)

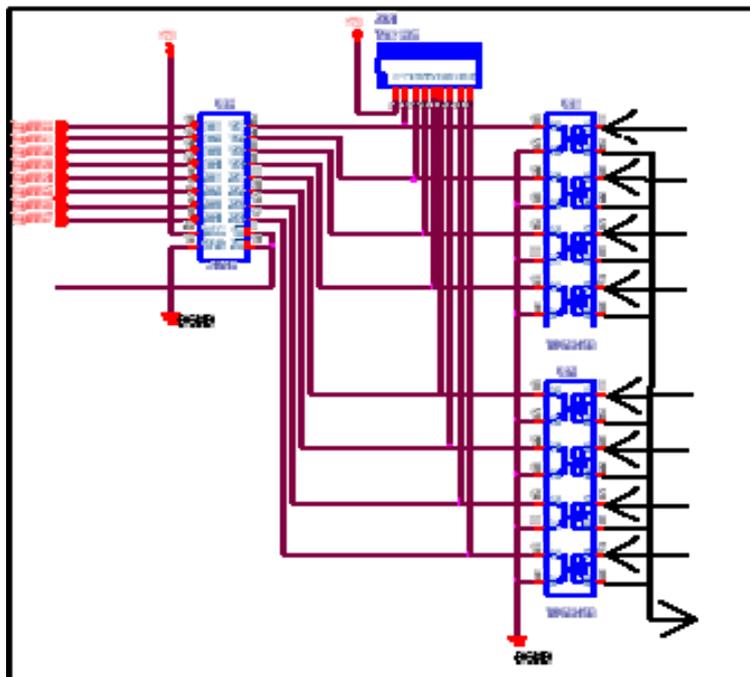


그림 8. FDIO DIGITAL INPUT

24V Digital Input이 가능한 16CH은 그림 과 같이 입력단에 Photocoupler를 사용하여 Field로부터 입력 된 값들이 signal isolation되고, 각 채널은 8-bit inverting buffer(74F240)를 통해 반전되어 TTL 레벨의 입력으로 전환하여 FPGA으로 전달된다. FPGA는 해당 채널들을 디코드하여 VME Bus 측에서 요청 시 16채널의 입력 레벨을 전달한다. LKV-520 보드는 이 과정을 통해 24V로 입력이 가능한 16개의 채널에 대한 입력을 수행한다. Digital Input 32채널의 접점 출력, Open-Collector 출력, 전압 출력의 다양한 출력을 입력 받을 수 있다. VIL(Input Low Voltage)의 최대값이 12Vdc 이며, VIH(Input High Voltage) 의 최소값은 16Vdc 이다. 접점 출력에 대한 입력 시 내부 Pull-Up에 의해 전압레벨로 동작함으로써 입력 단에 타 시스템의 전압(GND가 서로 다른 전압)이 유기되지 않아야 한다. 또한 내부 Pull-Up이 존재함으로써 입력단의 Floating은 입력 High로 인식하게 된다. 그림에 실제 사용된 Digital 입력의 간략한 회로를 기술하였다.

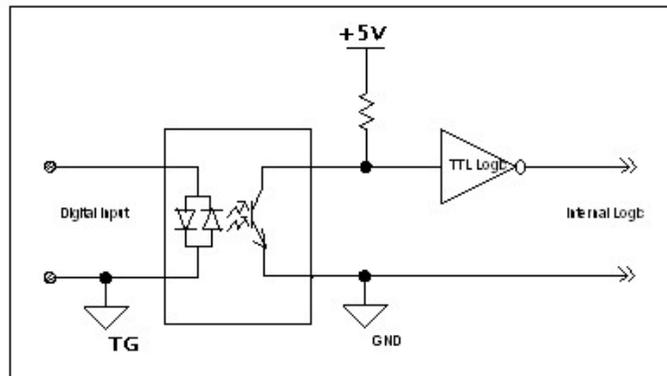


그림 9. Digital 입력의 간략한 회로

2.2.6.1.1. 전압 출력에 대한 Digital 입력

0V~30Vdc까지의 범위의 전압을 입력 받을 수 있다. 그림에 전압 출력에 대한 입력 결선 예를 보여 주었다.

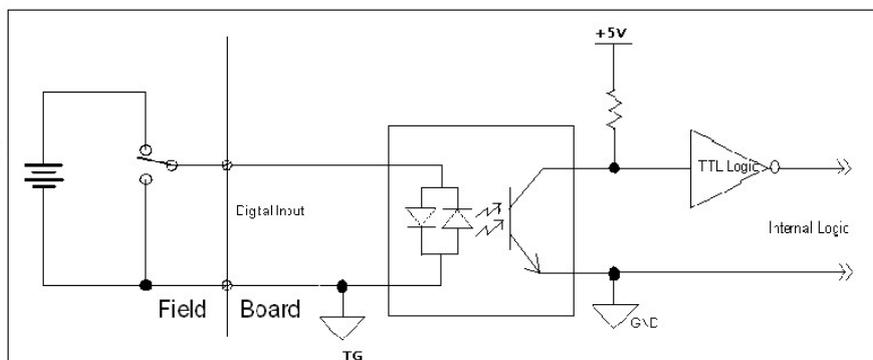


그림 10. 전압 출력에 대한 Digital 입력

2.2.6.1.2. Open-Collector 출력에 대한 Digital 입력

그림은 Open-Collector 출력 회로에서 외부 전원을 사용하여 부하를 구동할 경우의 Digital 입력과 결선 방법을 나타내었다. 외부 전원에 의한 부하구동을 하지 않고 단지 Open-Collector 출력의 경우에도 내부 전원 +5Vdc 에 의한 Pull-Up 회로에 의해 Digital 입력이 가능하다.

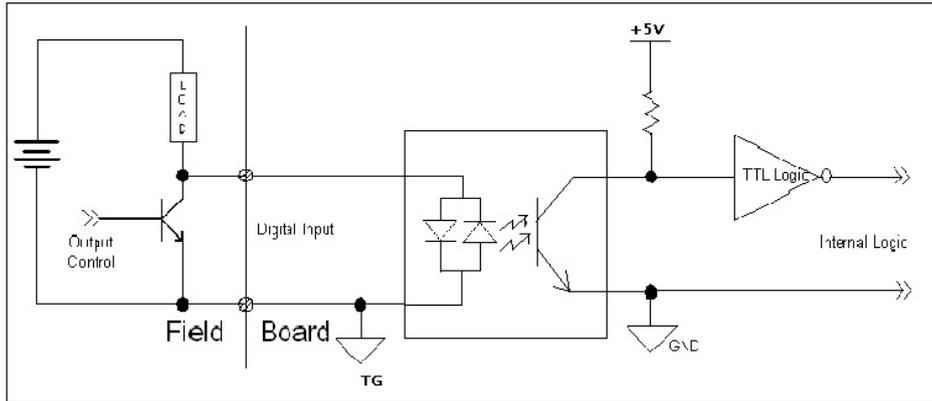


그림 11. Open-Collector 출력에 대한 Digital 입력

2.2.6.1.3. 접점 출력에 대한 Digital 입력

그림은 접점 출력 회로에서 외부 전원을 사용하여 부하를 구동 할 경우의 Digital 입력과의 결선 방법을 나타내었다. 외부 전원에 의한 부하구동을 하지 않고 단지 접점 출력의 경우에도 내부 전원 +5Vdc 에 의한 Pull-Up 회로에 의해 Digital 입력이 가능하다.

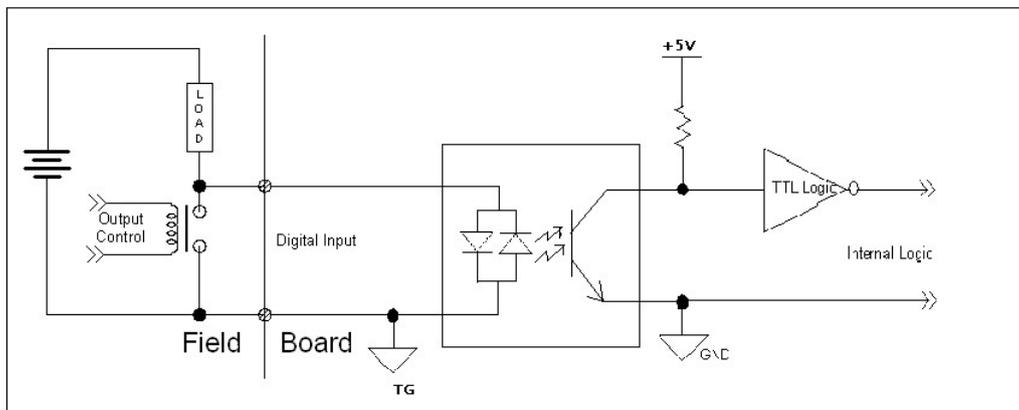


그림 12. 접점 출력에 대한 Digital 입력

2.2.6. Digital In/Out Signal Interface (32CHs TDIO) – P2/ P3

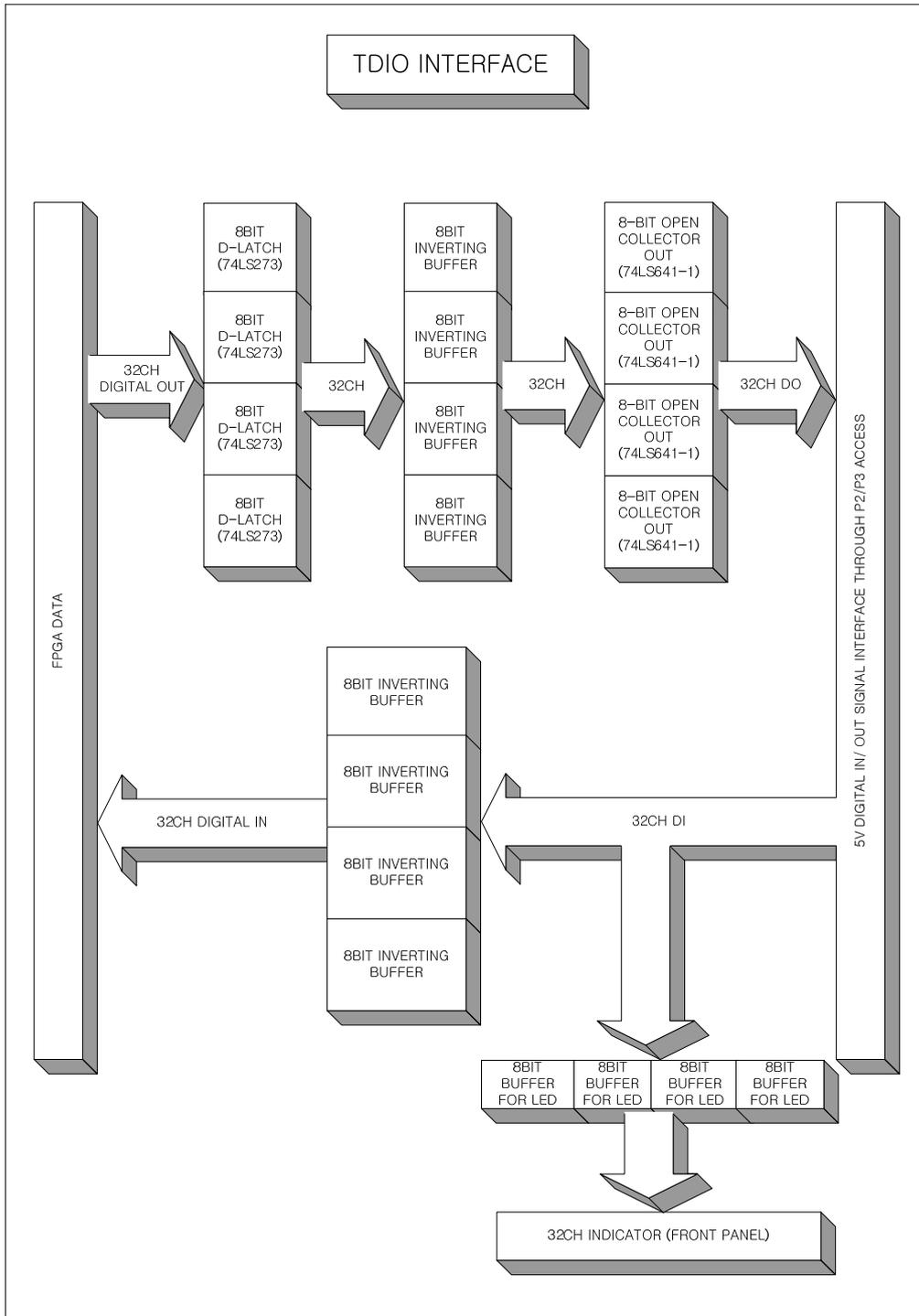


그림 13. TDIO DIGITAL IN/ OUT

LKV-520 보드의 TDIO(Terminal Accessible Digital In/Out) 32개의 채널은 양방향의 입출력이 가능하도록 설계 되었고, 입력범위는 0 ~ 5V 이다. VILH(DIGITAL LOW 입력 최고 전압)은 0.3V이고,

HL(DIGITAL HIGH 입력 최저 전압)은 1.6V이다. 각 채널의 VME bus측의 logical data와 실제 입출력 레벨은 inverse된 결과와 같다. 즉, logical 'L' output이면, 출력되는 output level은 High voltage(5V)이다. 또한 logical 'H' output이면, 출력되는 output level은 Low voltage (0V)이다. 입력의 경우도 마찬가지로 외부에서 입력되는 전위와 logical data는 inverted된 값이 VME bus측으로 입력된다.

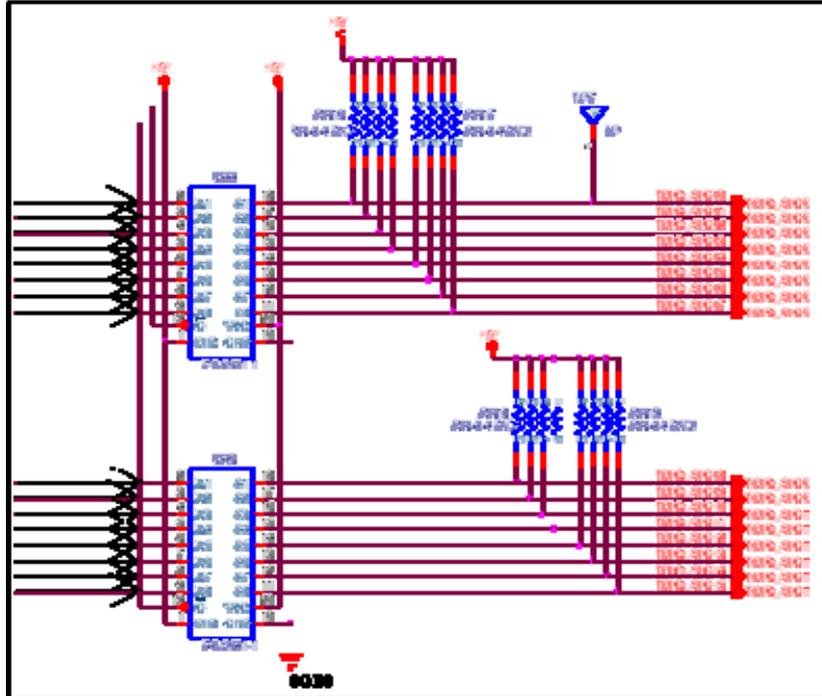


그림 14. TDIO DIGITAL OUTPUT

32개 채널의 TTL level Digital Output의 동작은 아래와 같다. 옆의 그림에서 VME Bus로부터 입력된 신호는 74LS641-1로 입력된다. 74LS641-1은 Low level output 시에 출력전류($I_{OL}=48mA$)를 48mA까지 내보낼 수 있다. 또한 출력 방식은 pull-up 저항을 가진 open collector 출력이다. option 적용에 따라서는 저항을 제거하고 터미널 보드 측에서 pull-up을 장착하여 출력을 내보낼 수 있다. 현재 LKV-520 보드는 기본적으로 pull-up에 의해 Low level output 시에 출력전류(I_{OL})는 약 1mA 정도의 전류만을 내보낸다.

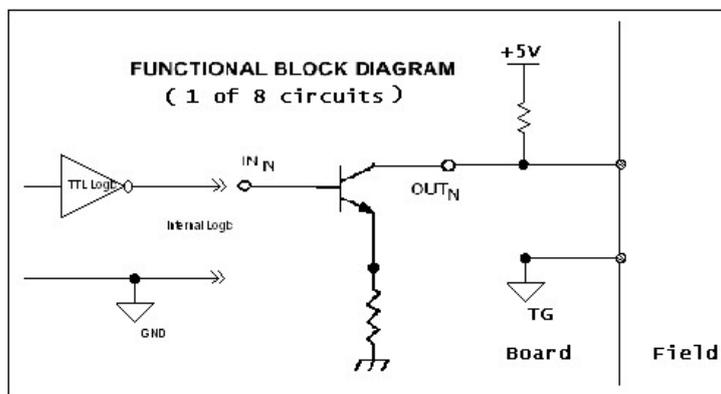


그림 15. 32개 채널의 TTL level Digital Output의 동작

2.2.6.2. 5V Digital In(Terminal Accessible)

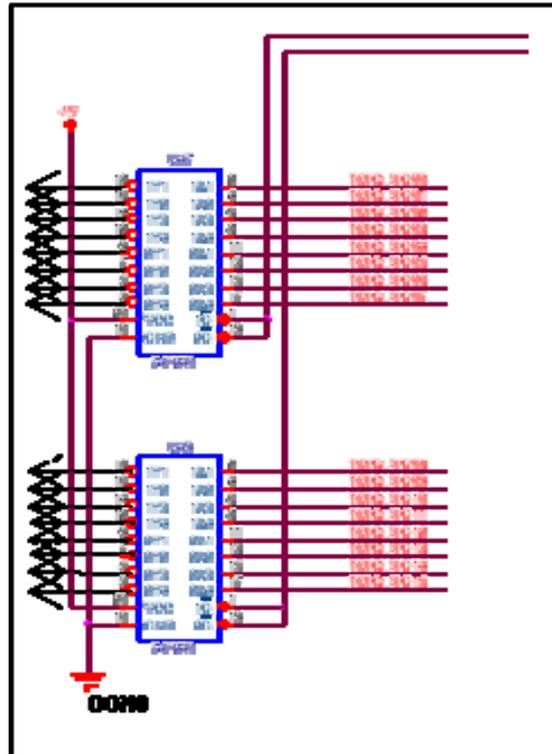


그림 16. TDIO DIGITAL INPUT

32개 채널의 TTL level Digital Input의 동작은 아래와 같다. 위의 그림에서처럼 외부로부터 TTL level 의signal 입력을 받아들여서 8-bit inverting buffer인 74F240으로 입력된다. TTL level의 입력값은 반전되어 FPGA를 거쳐서 VME bus로 입력된다. Digital Input 32채널의 점점 출력, Open-Collector 출력, 전압 출력의 다양한 출력을 입력 받을 수 있다. VIL(Input Low Voltage)의 최대 값이 0.3Vdc 이며, VIH(Input High Voltage)의 최소 값은 1.5Vdc 이다. 점점 출력에 대한 입력 시 내부 Pull-Up에 의해 전압레벨로 동작함으로써 입력 단에 타 시스템의 전압(GND가 서로 다른 전압)이 유기되지 않아야 한다. 또한 내부 Pull-Up이 존재함으로써 입력단의 Floating은 입력 High로 인식하게 된다. 그림에 실제 사용된 Digital 입력의 간략한 회로를 기술하였다.

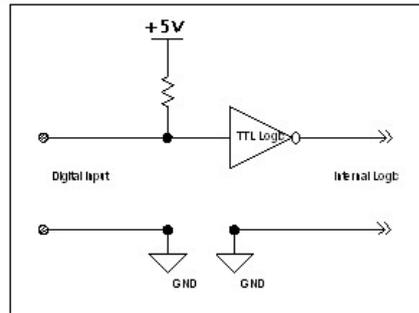


그림 17. Digital 입력의 간략한 회로

2.2.6.2.1. 전압 출력에 대한 Digital 입력

0V~5Vdc까지의 범위의 전압을 입력 받을 수 있다. 그림에 전압 출력에 대한 입력 결선 예를 보여 주었다.

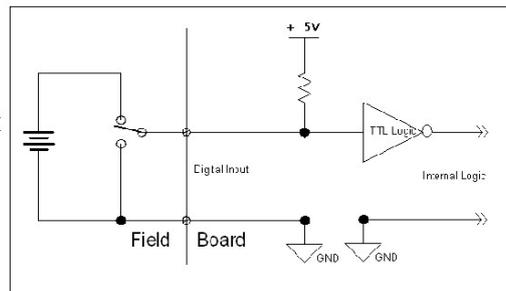


그림 18. 전압 출력에 대한 Digital 입력

2.2.6.2.2. Open-Collector 출력에 대한 Digital 입력

그림은 Open-Collector 출력 회로에서 외부 전원을 사용하여 부하를 구동 할 경우의 Digital 입력과 결선 방법을 나타내었다. 외부 전원에 의한 부하구동을 하지 않고 단지 Open-Collector 출력의 경우에도 내부 전원 +5Vdc 에 의한 Pull-Up 회로에 의해 Digital 입력이 가능하다.

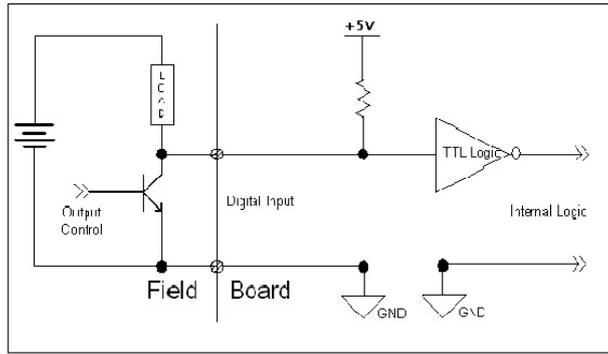


그림 19. Open-Collector 출력에 대한 Digital 입력

2.2.6.2.3. 접점 출력에 대한 Digital 입력

그림은 접점 출력 회로에서 외부 전원을 사용하여 부하를 구동 할 경우의 Digital 입력과의 결선 방법을 나타내었다. 외부 전원에 의한 부하구동을 하지 않고 단지 접점 출력의 경우에도 내부 전원 +5Vdc 에 의한 Pull-Up 회로에 의해 Digital 입력이 가능하다.

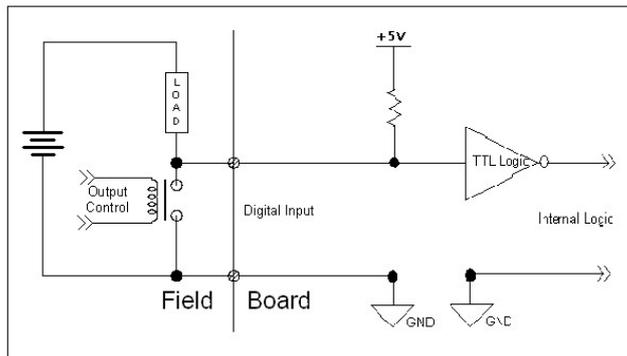


그림 20. 접점 출력에 대한 Digital 입력

2.3. Channel Indicator Interface

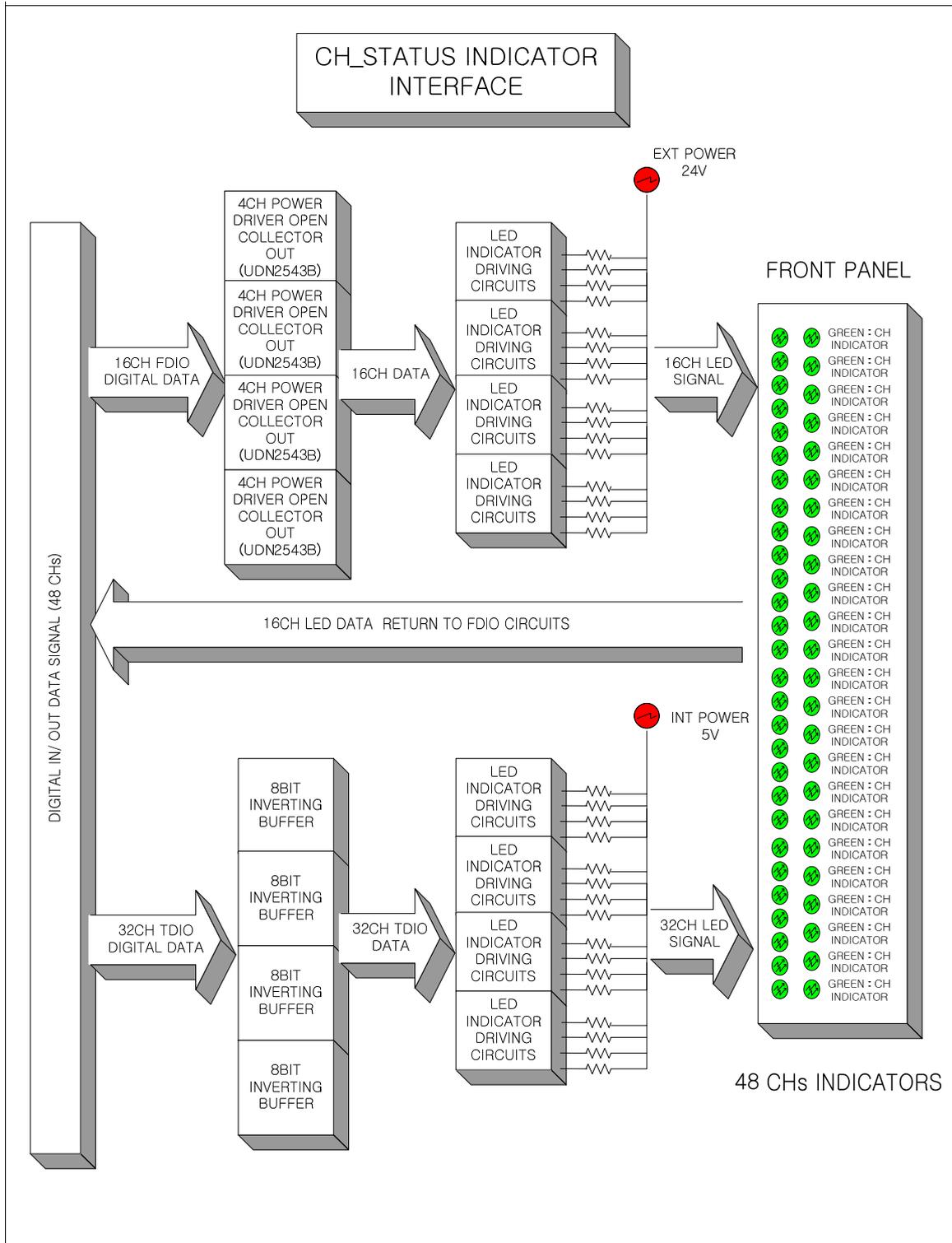


그림 21. CH INDICATOR INTERFACE

3. 하드웨어 설정

3.1. 외형도

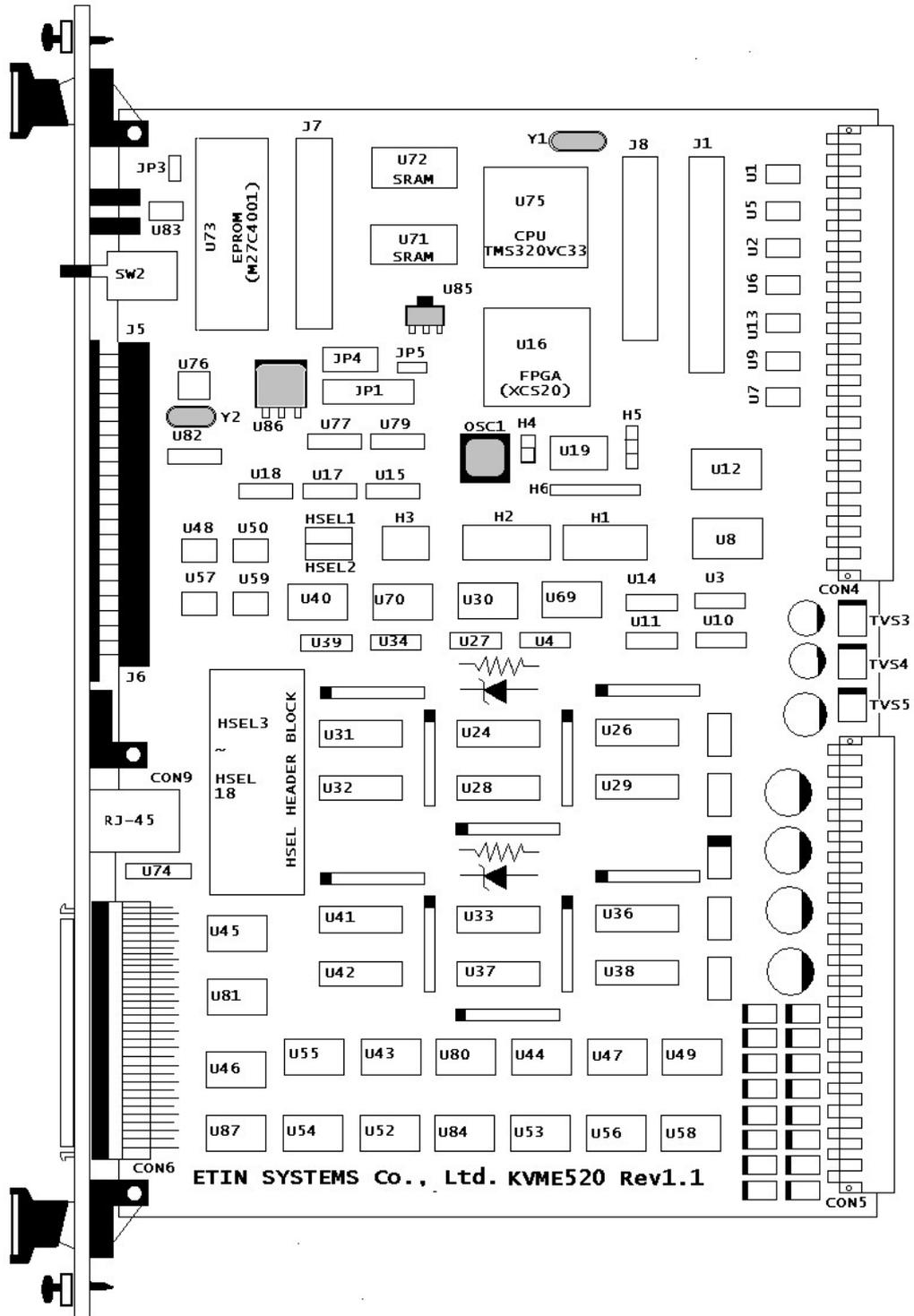


그림 22. LKV-520 Rev 1.1의 외형도

3.1.1. 주요 부품 위치

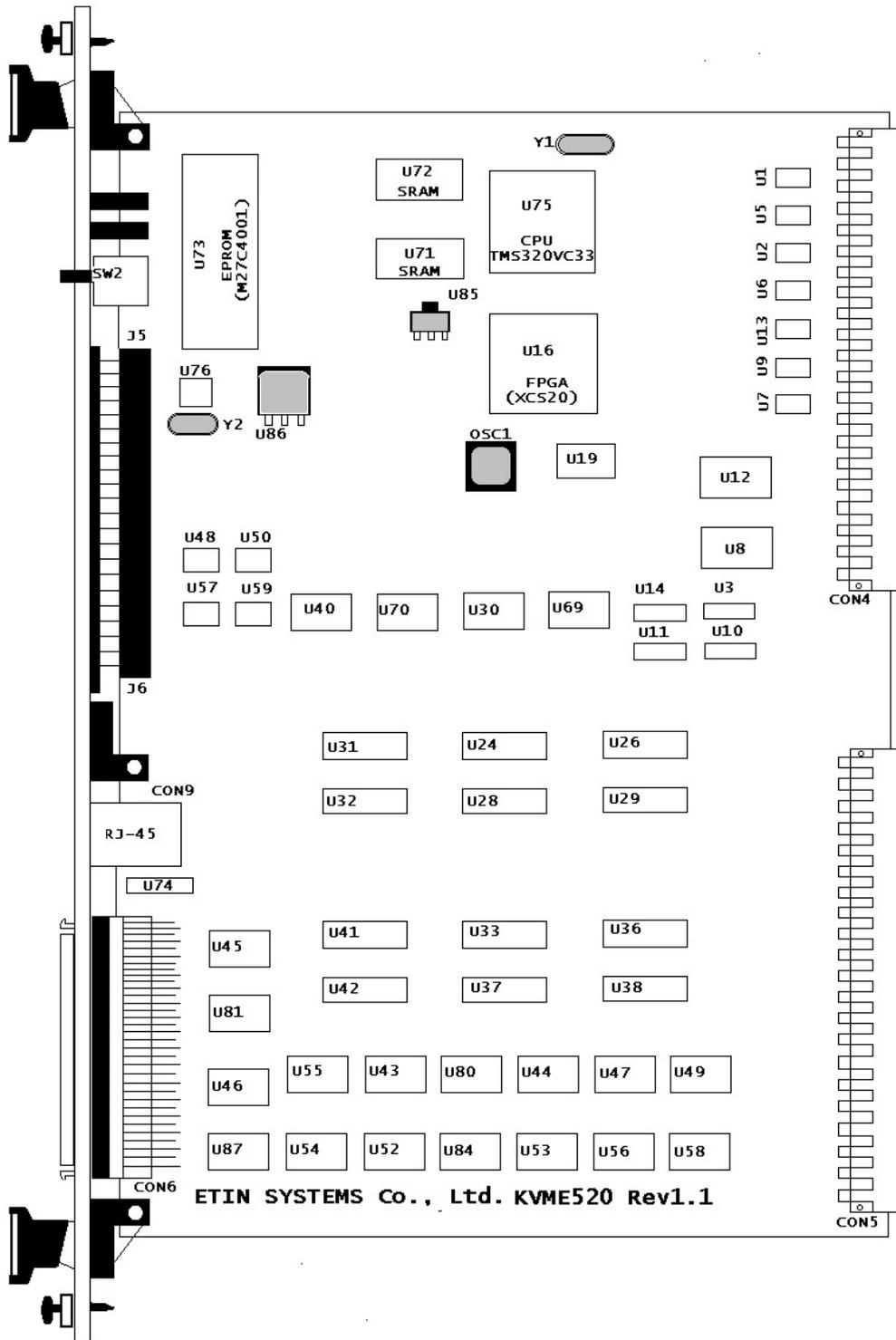


그림 23. LKV-520의 주요부품 배치도

3.1.2. 커넥터 및 HEADER 위치

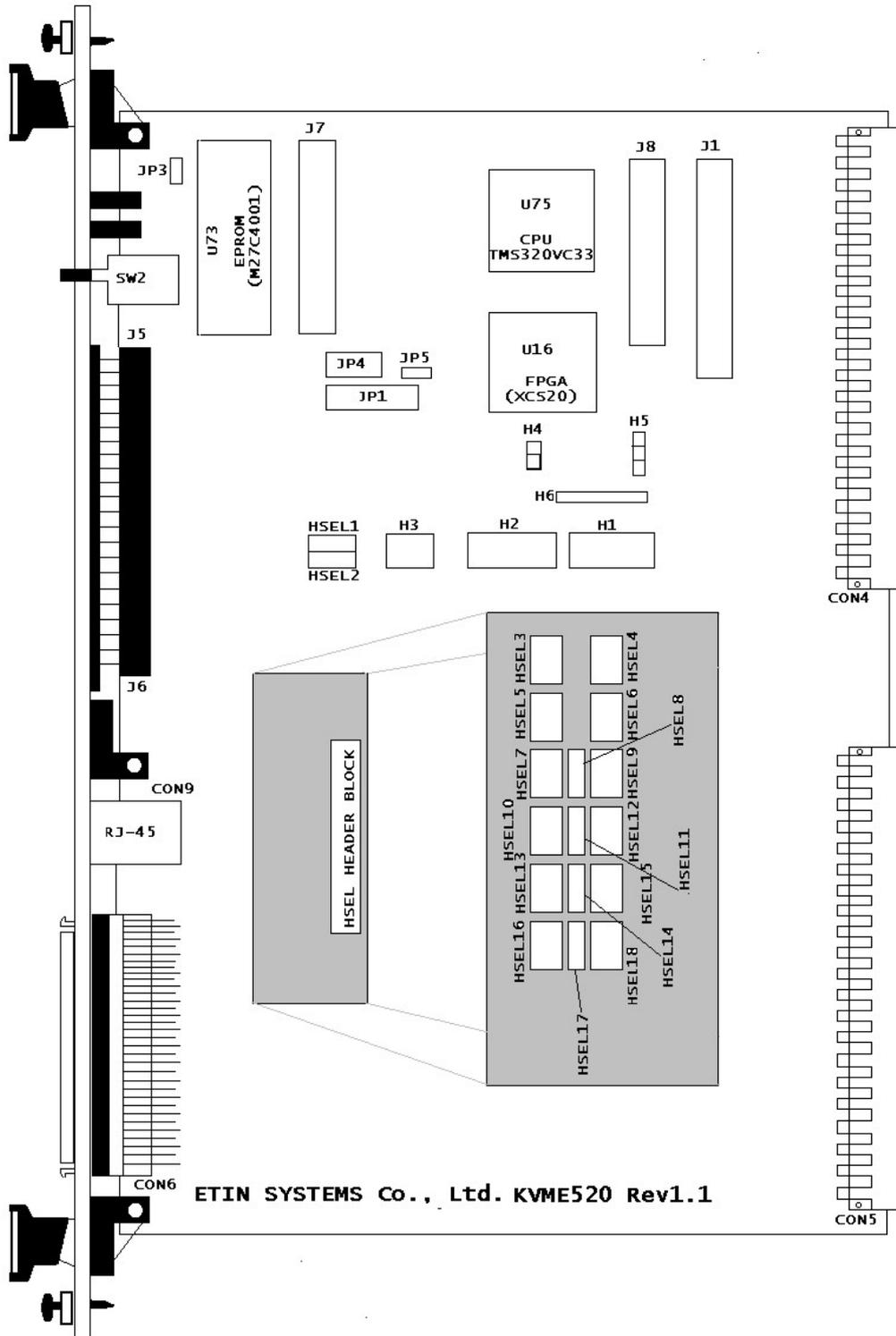


그림 24. LKV-520의 커넥터 및 HEADER 위치

3.1.3. 전면판

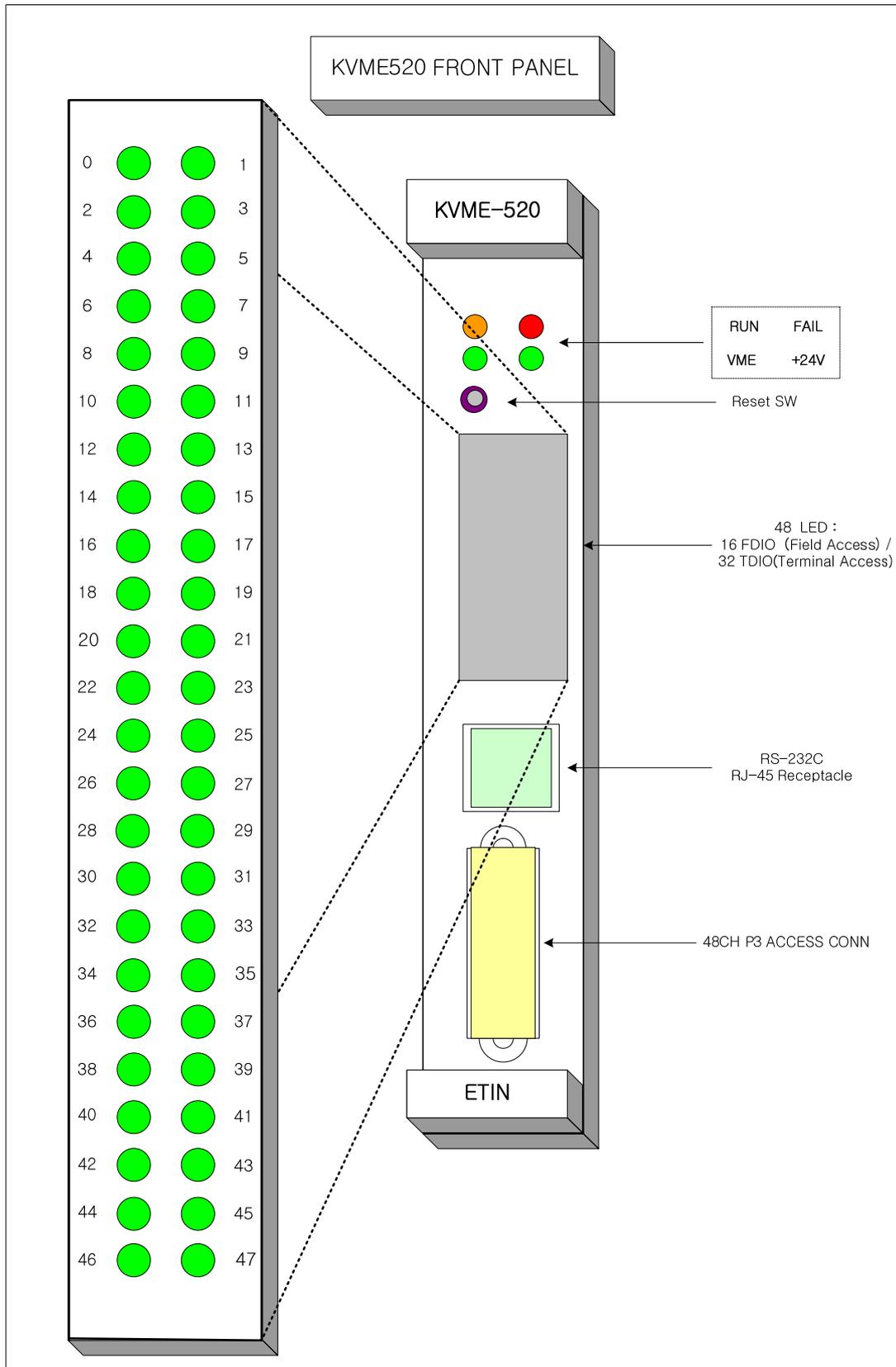


그림 25. LKV-520 전면판

LKV-520 보드의 전면판의 구성은 위의 그림과 같다. INDICATOR(LED)는 보드 STATUS와 채널 STATUS를 표현하는 LED로 구성된다. RESET SWITCH는 두 LED 그룹의 사이에 있으며, CPU RESET과 BUS RESET을 적용할 수 있다. 아래쪽으로는 RS-232C 통신이 가능한 RJ-45 RECEPTACLE CONN가 있으며, 그 아래에는 FRONT에서 DIGITAL INPUT/ OUTPUT SIGNAL들을 ACCESS할 수 있도록 P3 CONNECTOR가 장착되어 있다. P3 CONN은 68PIN으로 60PIN의 SIGNAL LINE을 이용하여 외부전원과 각 채널 입출력 라인을 제공한다. 디지털 입출력 48 채널의 점멸동작은 해당 채널에 대한 디코딩된 VME BUS 에서의 DIGITAL "L"이면 OFF되고 채널 실제 입출력 값은 VOLTAGE LEVEL "H"이며, 이와 반대로 DIGITAL "H"이면 ON되고 채널 실제 입출력 값은 VOLTAGE LEVEL "L"가 된다.

3.2. HEADER SETTING

3.2.1. VME Bus Interface

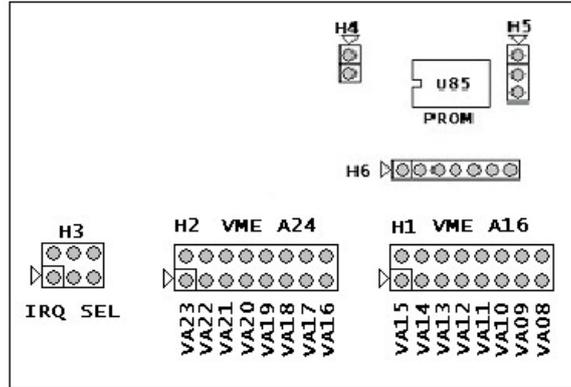


그림 26. VME BUS INTERFACE HEADER

VME BUS에 대한 User defined Header 설정은 옆의 그림 34에서처럼 VME Address 설정을 위한 H1, H2 Header와 IRQ 설정을 위한 H3 Header 가 있다. 각 Header는 User들이 하드웨어적인 설정할 수 있는 option을 제공한다. H4는 VME ADDRESS TYPE을 결정하는 BIT를 setting한다. H4가 open이면, Standard Address가 선택되고, H4가 set되면, Short Address가 선택된다. 이외의 H5, H6은 FPGA Interface에 사용되는 Header이므로, 아래의 3.2.3 절에서 자세히 설명된다.

3.2.2. Reset Operation Setting

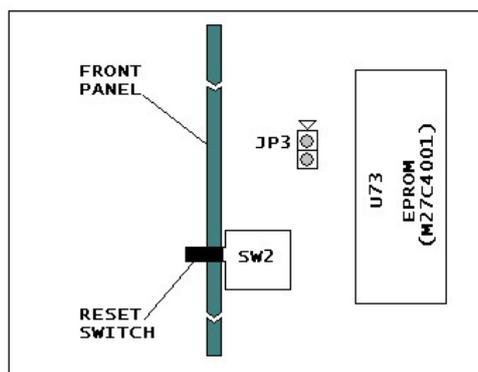


그림 27. RESET HEADER

LKV-520 board의 Reset 동작은 자체 CPU 장착을 고려한 상태에서 RESET switch(SW2)를 누르면, 자체 CPU에 대한 reset 동작이 이루어진다. 단, VME BUS Reset이 필요할 경우 JP3 Header를 set 하면

CPU reset과 더불어 BUS reset이 걸리게 된다. 전면 판의 "FAIL" LED는 On되면 FPGA Programming이 안된 상태와 자체 CPU의 reset이 걸린 상태를 표시하게 된다. Off되면 FPGA program이 정상적으로 수행되었고, 자체 CPU의 reset이 해제되어 정상상태임을 나타낸다.

3.2.3. FPGA Programming Interface

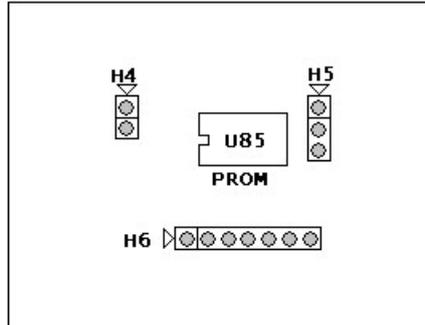


그림 28. FPGA HEADER

LKV-520 board의 Logic Device인 FPGA(XCS20-3TQ144)는 두 가지 모드로 programming 된다. 첫째는 debug 시에 직접 download cable(parallel cable)을 이용하는 방법이며, 둘째는 제작된 PROM을 이용하여 download 시키는 방법이다. H5 Header는 이를 선택하는 Header이다. 첫 번째 방법에서는 H5의 1번과 2번을 setting하여 debugging시 에 사용하며, 두 번째 방법에서는 H5의 2번과 3번을 setting하여 PROM으로부터 source code를 download 하여 FPGA에 program을 실시한다. H6은 download cable을 사용할 경우 이를 연결하는 Header이다. (1번 pin이 VCC 이다)

3.2.4. CPU Interface/ Interrupt Setting

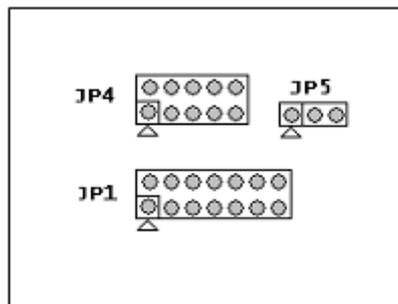


그림 29. CPU HEADER

LKV-520 board의 자체 CPU(TMS320VC33)을 access하기 위한 Header들이 그림 37에 있다. JP1은

JTAG port로써 33 DSP에 적용이 가능한 Emulator cable을 이용하여 CPU에 직접 download를 통해서 debugging을 실시할 경우에만 사용된다. JP4는 DSP의 Boot Mode를 설정하기 위한 추가 기능으로 장착되어 있으며, 추가적으로 기능이 구현될 경우에 사용할 수 있다. JP5는 주변의 device (peripheral device)들과의 interface시 Interrupt를 사용할 경우 INT0와 INT3를 선택할 수 있도록 설계되었다. JP5 Header는 default로 1번과 2번을 설정하여 INT0를 이용하며, 이를 통해 RS-232C serial communication interface를 실시한다. INT3을 사용할 경우는 2번과 3번으로 설정하여 사용할 수 있다.

3.2.5. CH Selector Mode(Low/ High) Setting

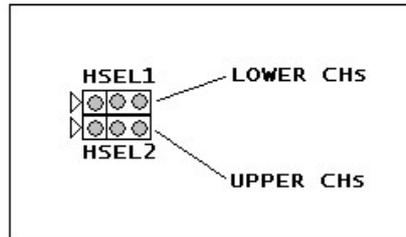


그림 30. CH SELECTOR HEADER

LKV-520 board는 HSEL1과 HSEL2 Header를 이용하여 48채널들의 입출력(Input/ Output Enable)을 3개 그룹으로 나누어 상위(Upper)와 하위(Lower)로 제어할 수 있다. 3개의 그룹은 Group1(CH0 ~ CH15)과 Group2(CH16 ~ CH31)와 Group3(CH32 ~ CH47)로 나뉘어진다. Header 설정은 Default로 1번과 2번을 setting하여 FPGA programming을 통해서 제어할 수 있다. 2번과 3번으로 setting 하면 각 그룹의 상위(Upper)와 하위(Lower) 채널을 Disable 시킬 수 있다.

3.2.6. 16CH(0~15) Digital Input/ Output Setting – FDIO

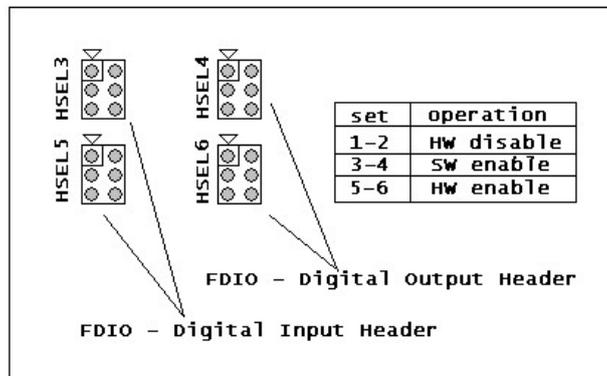


그림 31. HSEL FDIO HEADER

LKV-520 보드에서 4개의 Header(HSEL3,4,5,6)를 이용하여 FDIO 16채널(CH0 ~ CH15)의 출력 Latch와 입력 Buffer의 Enable과 Disable을 제어할 수 있다. 입출력 구분에 따라서 HSEL3(Lower Channel)과 HSEL5(Upper Channel)는 FDIO의 Digital Input을 결정하며, HSEL4(Lower Channel)와 HSEL6(Upper Channel)은 FDIO의 Digital Output을 결정한다. 그림 39에 있는 표와 같이 setting 방법과 같다. Default는 각 Header에서 3번과 4번을 setting하여 FPGA 내부에서 logic으로 제어토록 되어있다.

3.2.7. 32CH(16~47) Digital Input/ Output Setting – TDIO

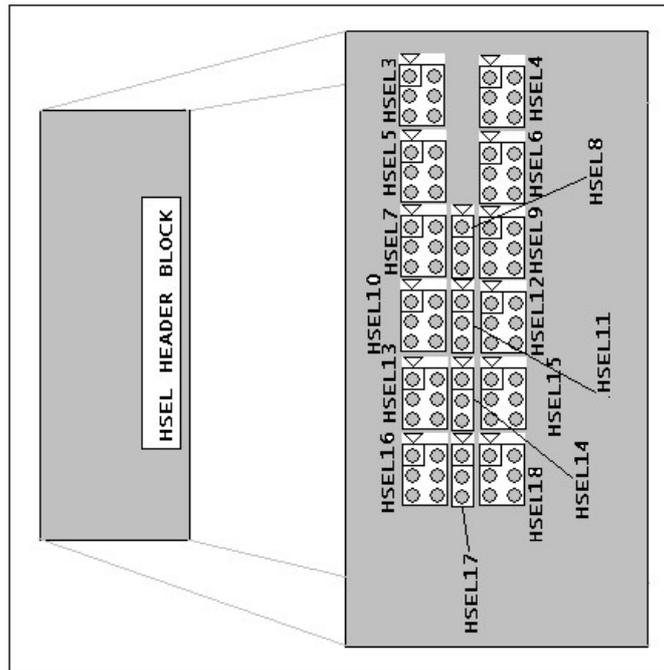


그림 32. HSEL(DIO) HEADER BLOCK

위의 그림은 LKV-520 보드 내에 있는 HSEL Header Block의 내부에 있는 각 Header들의 위치와 명칭을 나타내었다.

아래의 그림에 나타난 것과 같이 LKV-520 보드는 TDIO 48 채널에 대한 각 입출력을 HSEL Header 들로 제어할 수 있다. Digital Input buffer들에 대한 입력 Enable은 그림 41의 표와 같이 HSEL9, 12, 15, 18의 설정으로 가능하다. 또한 Digital Output Latch들에 대한 출력 Enable은 그림 41의 표와 같이 HSEL7, 10, 13, 16의 설정으로 가능하다. Digital Output buffer들에 대한 출력단 Enable은 그림 41의 표와 같이 HSEL8, 11, 14, 17의 설정으로 가능하다.

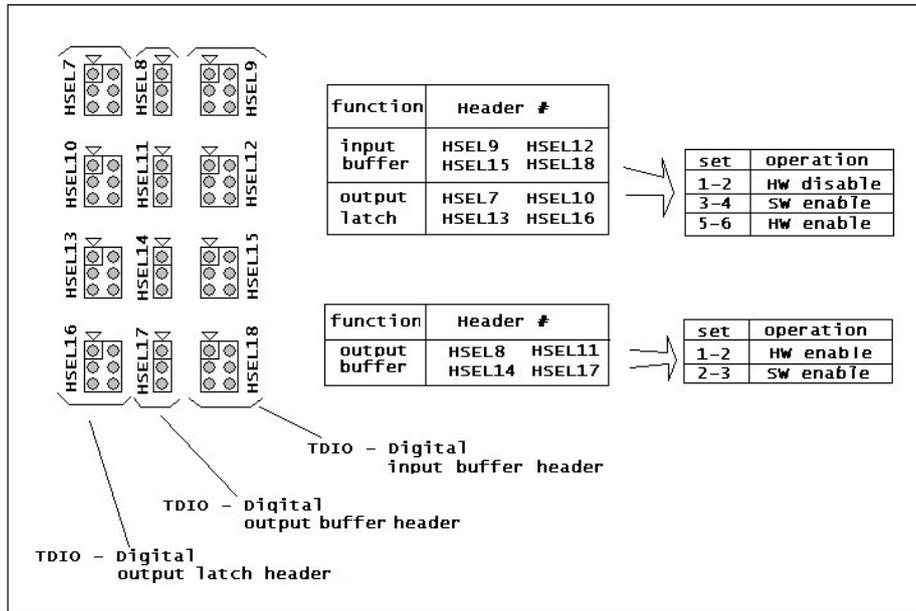


그림 33. HSEL(TDIO) HEADER DESCRIPTION

3.3. Connector & Socket 핀 번호 정의

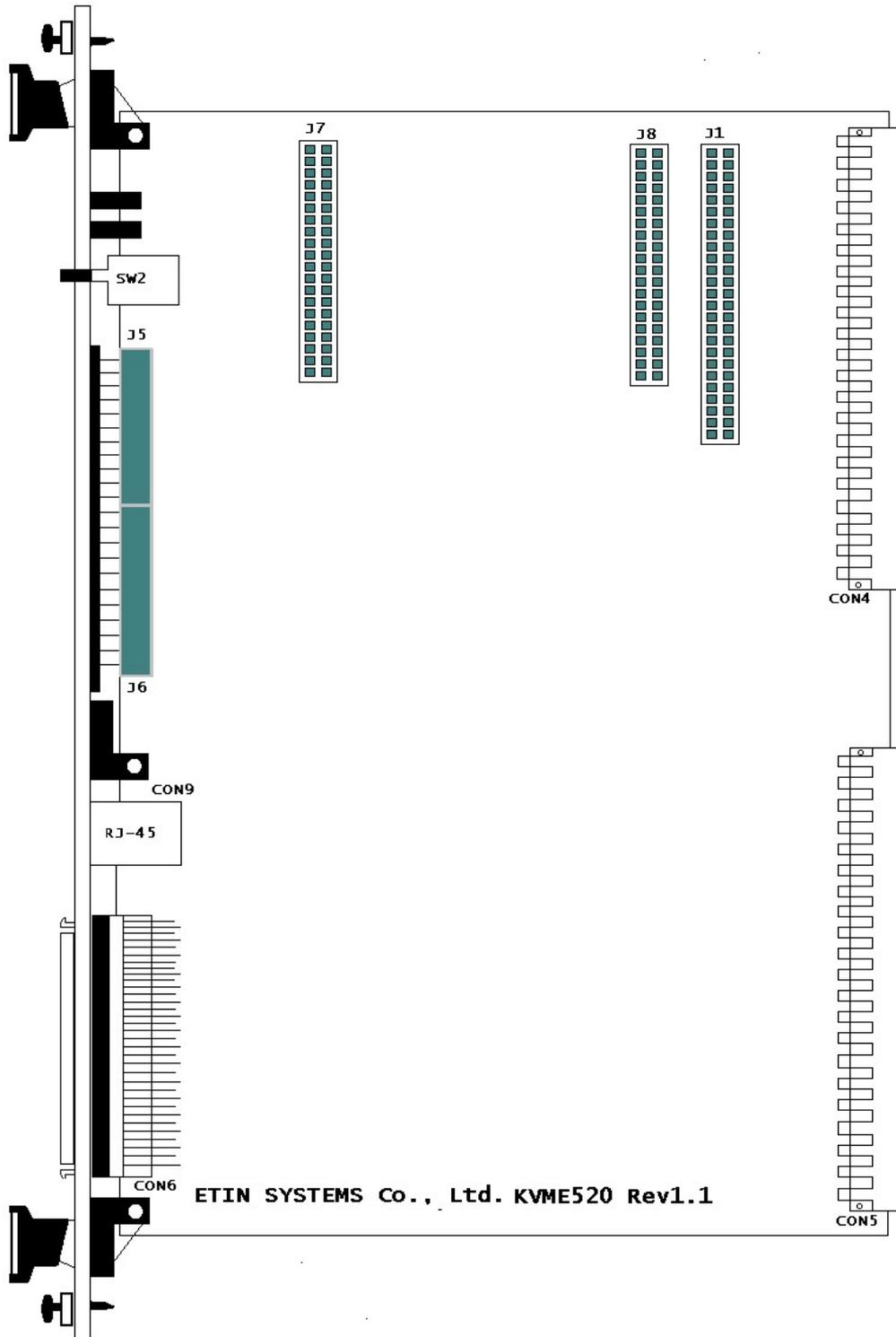


그림 34. LKV-520 Connector & Socket 위치

3.3.1. P1 (VME BUS 커넥터 핀 번호)

표 3. P1 Connector (CON4) 핀 정의

pin#	Row A	Row B	Row C
1	D00	BBSY*	D08
2	D01	BCLR*	D09
3	D02	ACFAIL*	D10
4	D03	BG0IN*	D11
5	D04	BG0OUT*	D12
6	D05	BG1IN*	D13
7	D06	BG1OUT*	D14
8	D07	BG2IN*	D15
9	GND	BG2OUT*	GND
10	SYSCLK	BG3IN*	SYSFAIL*
11	GND	BG3OUT*	BERR*
12	DS1*	BR0*	SYSRESET*
13	DS0*	BR1*	LWORD*
14	WRITE*	BR2*	AM5
15	GND	BR3*	A23
16	DTACK*	AM0	A22
17	GND	AM1	A21
18	AS*	AM2	A20
19	GND	AM3	A19
20	IACK*	GND	A18
21	IACKIN*	SERCLK	A17
22	IACKOUT*	SERDAT*	A16
23	AM4	GND	A15
24	A07	IRQ7*	A14
25	A06	IRQ6*	A13
26	A05	IRQ5*	A12
27	A04	IRQ4*	A11
28	A03	IRQ3*	A10
29	A02	IRQ2*	A09
30	A01	IRQ1*	A08
31	-12V	+5V STDBY	+12V
32	+5V	+5V	+5V

3.3.2. P2 (Rear Digital In/Out)

표 4. P2 Connector(CON5) 핀 정의

pin#	Row A	Row B	Row C
1	FDIO SIG00	Not Used	FDIO SIG08
2	FDIO SIG01	Not Used	FDIO SIG09
3	FDIO SIG02	Not Used	FDIO SIG10
4	FDIO SIG03	Not Used	FDIO SIG11
5	FDIO SIG04	Not Used	FDIO SIG12
6	FDIO SIG05	Not Used	FDIO SIG13
7	FDIO SIG06	Not Used	FDIO SIG14
8	FDIO SIG07	Not Used	FDIO SIG15
9	+5V EXT	Not Used	+5V EXT
10	TGND EXT	Not Used	TGND EXT
11	+24V EXT	Not Used	+24V EXT
12	TDIO SIG00	Not Used	TDIO SIG16
13	TDIO SIG01	Not Used	TDIO SIG17
14	TDIO SIG02	Not Used	TDIO SIG18
15	TDIO SIG03	Not Used	TDIO SIG19
16	TDIO SIG04	Not Used	TDIO SIG20
17	TDIO SIG05	Not Used	TDIO SIG21
18	TDIO SIG06	Not Used	TDIO SIG22
19	TDIO SIG07	Not Used	TDIO SIG23
20	TDIO SIG08	Not Used	TDIO SIG24
21	TDIO SIG09	Not Used	TDIO SIG25
22	TDIO SIG10	Not Used	TDIO SIG26
23	TDIO SIG11	Not Used	TDIO SIG27
24	TDIO SIG12	Not Used	TDIO SIG28
25	TDIO SIG13	Not Used	TDIO SIG29
26	TDIO SIG14	Not Used	TDIO SIG30
27	TDIO SIG15	Not Used	TDIO SIG31
28	DGND	Not Used	DGND
29	+5V	Not Used	+5V
30	+5V	Not Used	+5V
31	TGND EXT	Not Used	+24V EXT
32	TGND EXT	Not Used	+24V EXT

3.3.3. P3 (Front Digital In/Out)

표 5. P3 Connector(CON6) 핀 정의

Pin#	Assignment	Pin#	Assignment
1	+5V(시스템전원)	35	+5V(시스템전원)
2	SIG00	36	SIG16
3	SIG01	37	SIG17
4	SIG02	38	SIG18
5	SIG03	39	SIG19
6	SIG04	40	SIG20
7	SIG05	41	SIG21
8	SIG06	42	SIG22
9	SIG07	43	SIG23
10	SIG08	44	SIG24
11	SIG09	45	SIG25
12	SIG10	46	SIG26
13	SIG11	47	SIG27
14	SIG12	48	SIG28
15	SIG13	49	SIG29
16	SIG14	50	SIG30
17	SIG15	51	SIG31
18	+5V_EXT(외부전원)	52	SIG32
19	+5V_EXT(외부전원)	53	SIG33
20	NC(결선 없음)	54	SIG34
21	NC(결선 없음)	55	SIG35
22	NC(결선 없음)	56	SIG36
23	NC(결선 없음)	57	SIG37
24	NC(결선 없음)	58	SIG38
25	NC(결선 없음)	59	SIG39
26	NC(결선 없음)	60	SIG40
27	NC(결선 없음)	61	SIG41
28	GND_EXT(외부전원)	62	SIG42
29	GND_EXT(외부전원)	63	SIG43
30	+24V_EXT(외부전원)	64	SIG44
31	+24V_EXT(외부전원)	65	SIG45
32	+24V_EXT(외부전원)	66	SIG46
33	+24V_EXT(외부전원)	67	SIG47
34	GND(내부전원)	68	GND(내부전원)

3.3.4. Serial 통신 포트(RS-232C)

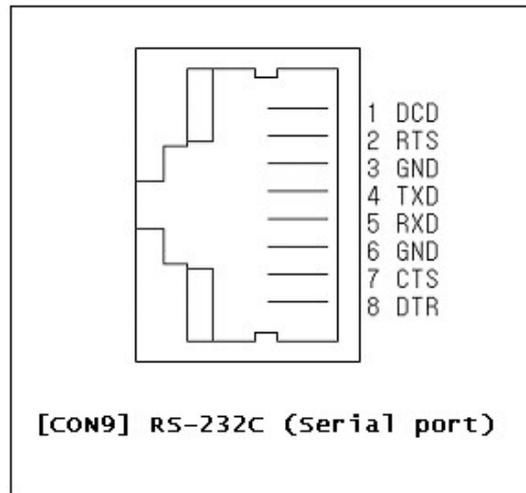


그림 35. CON9 핀 정의

3.3.5. Socket 핀 정의

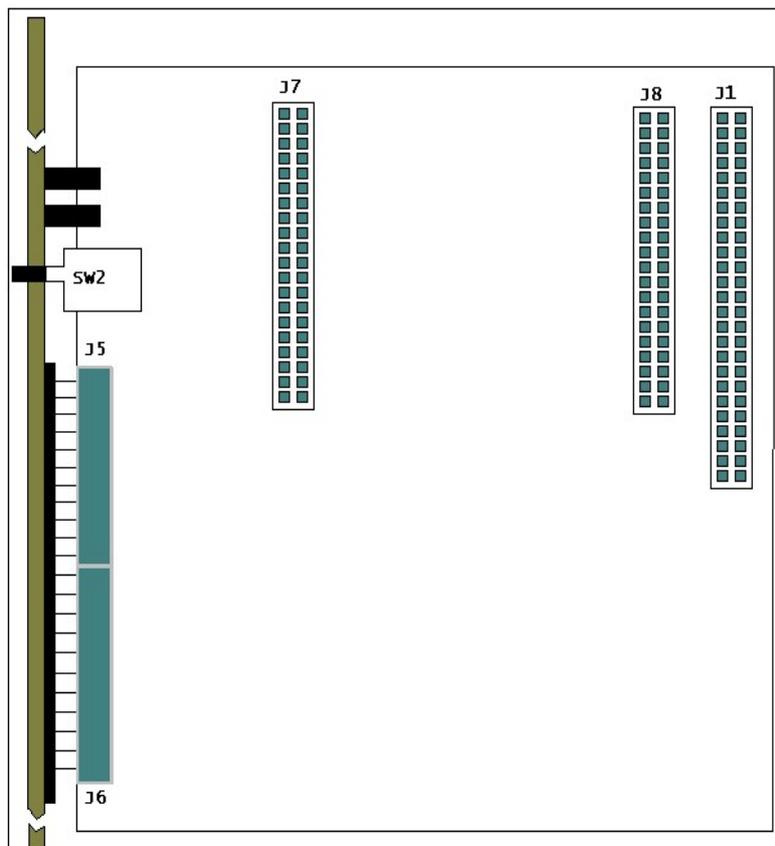


그림 36. LKV-520 Socket 배치도

LKV-520 보드의 각 Socket들의 위치와 그 기능 및 핀 정의를 나타내었다. 간략한 설명을 덧붙이면, J1(50-pin, SMD)은 VME BUS SIGNAL들을 공유 또는 확장하기 위한 EXTENTION MODOULE STACKING RECEPTACLE SOCKET 이며, J7(40-pin, SMD)과 J8(40-pin, SMD)은 자체 CPU(DSP 33)의 각 SIGNAL들을 공유 또는 확장하기 위한 EXTENTION MODOULE STACKING RECEPTACLE SOCKET이다. J5(32-pin, DIP)와 J6(34-pin, DIP)은 각각의 채널에 대한 전면 판의 INDICATOR 모듈을 장착하기 위한 SOCKET이다. 부가적으로 3.3.5.3에서는 LED 모듈과의 연결 및 PIN 정의를 설명되어 있다.

3.3.5.1. VME Extension SMD Socket (J1)

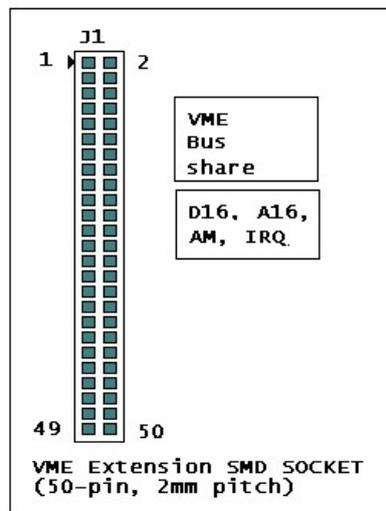


그림 37. VME Extension Socket

표 6. VME Extension Socket J1 핀 정의

Pin#	Assignment	Pin#	Assignment
1	+5V	26	A12
2	+5V	27	D12
3	D00	28	A13
4	A01	29	D13
5	D01	30	A14
6	A02	31	D14
7	D02	32	A15
8	A03	33	D15
9	D03	34	AS*
10	A04	35	DTACK*
11	D04	36	WRITE*
12	A05	37	IACK*
13	D05	38	AM0
14	A06	39	IACKIN
15	D06	40	AM1
16	A07	41	IACKOUT*
17	D07	42	VIRQ_EN*
18	A08	43	SYSRESET*
19	D08	44	AM3
20	A09	45	SYSFAIL*
21	D09	46	AM4
22	A10	47	BERR*
23	D10	48	AM5
24	A11	49	SYSCLK*
25	D11	50	DGND

3.3.5.2. CPU Extension SMD Socket (J7, J8)

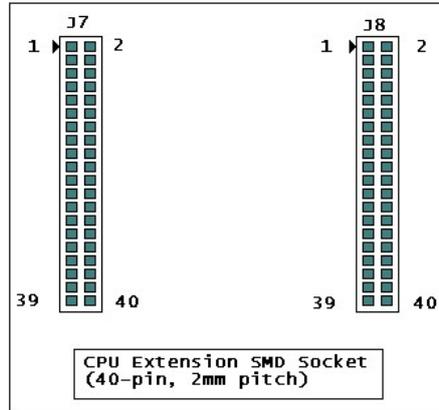


그림 38. CPU Extension Socket

표 7. CPU Extension Socket J7 핀 정의

Pin#	Assignment	Pin#	Assignment
1	CPUD16	21	CPUD26
2	CPUD00	22	CPUD10
3	CPUD17	23	CPUD27
4	CPUD01	24	CPUD11
5	CPUD18	25	CPUD28
6	CPUD02	26	CPUD12
7	CPUD19	27	CPUD29
8	CPUD03	28	CPUD13
9	CPUD20	29	CPUD30
10	CPUD04	30	CPUD14
11	CPUD21	31	CPUD31
12	CPUD05	32	CPUD15
13	CPUD22	33	CPUXF0
14	CPUD06	34	FPGA BITSET
15	CPUD23	35	CPU STRB1*
16	CPUD07	36	FPGA INT*
17	CPUD24	37	CPU TCLK0
18	CPUD08	38	CPU STRB2*
19	CPUD25	39	DGND
20	CPUD09	40	DGND

표 8. CPU Extension Socket J8 핀 정의

Pin#	Assignment	Pin#	Assignment
1	VCC(5V)	21	CPUA18
2	VCC(3.3V)	22	CPUA06
3	DGND	23	CPUA19
4	DGND	24	CPUA07
5	-12V	25	CPUA20
6	+12V	26	CPUA08
7	DGND	27	CPUA21
8	DGND	28	CPUA09
9	CPUA12	29	CPUA22
10	CPUA00	30	CPUA10
11	CPUA13	31	CPUA23
12	CPUA01	32	CPUA11
13	CPUA14	33	CPUA24
14	CPUA02	34	CPUA12
15	CPUA15	35	CPUA25
16	CPUA03	36	CPUA13
17	CPUA16	37	CPUA26
18	CPUA04	38	CPUA14
19	CPUA17	39	CPUA27
20	CPUA05	40	CPUA15

3.3.5.3. 520-LED board Stacking Socket (J5, J6)

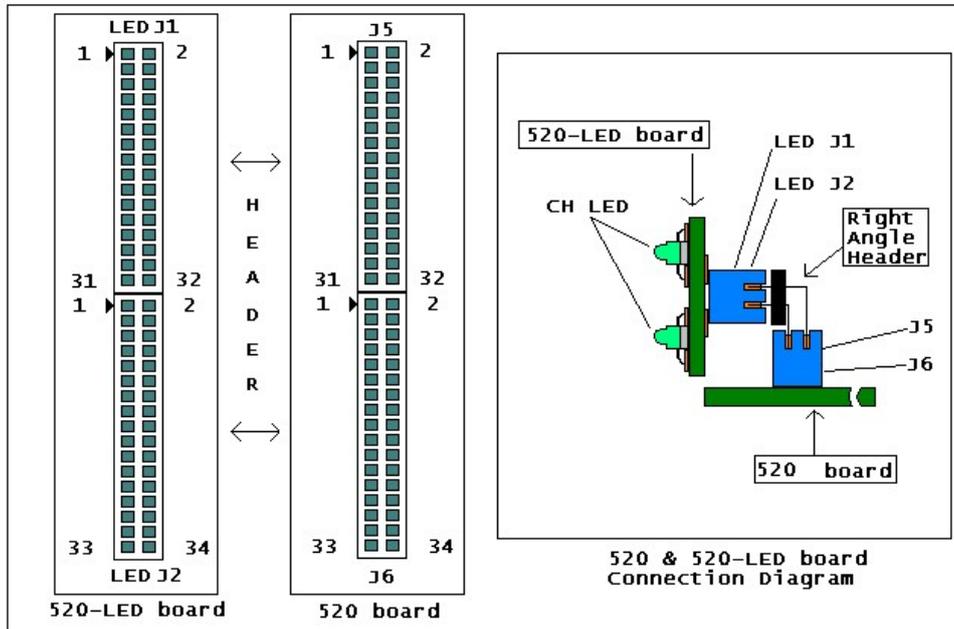


그림 39. 520 & 520-LED Socket 핀 정의 및 Connection

4. 메모리 Map

4.1. CPU 메모리 Map(TMS320VC33PGE-150)

추후 첨부 예정(CPU 삽입 버전)

4.2. EPROM 메모리 Map

추후 첨부 예정(CPU 삽입 버전)

4.3. Register/Address Map

추후 첨부 예정(CPU 삽입 버전)

5. 디바이스별 설명

5.1. TMS320VC33PGE-150

TMS320VC33PGE-150은 TI사의 DSP(Digital Signal Processor)의 일종으로 3X계열이며, 내부 clock 은 150MHz이고, 외부 clock은 75MHz로 동작한다. 150MFLOPS, 75 MIPS, 32bit high performance

5.2. XCS20-3TQ144

Xilinx사의 FPGA인 SPARTAN 계열 로직 디바이스며, 950 Logic cells, 20,000 gate, 400 CLB, 160 User I/O를 갖는다.

5.3. M27C4001-12FI

M27C4001M27C4001은 512K 바이트 EPROM(Erasable and Programmable Read Only Memory)이다. M27C4001은 두 개의 컨트롤 핀을 가지고 있다. 데이터를 읽기 위해서는 두 핀 모두 Low가 되어야 한다. 칩 Enable (E)은 파워 컨트롤 이고 디바이스를 선택하기 위해 사용된다. 출력 Enable (G)은 출력 컨트롤 이고 디바이스 선택과 별도로 데이터를 출력 핀에 출력하기 위해 사용된다. 어드레스가 안정되었다면, 어드레스 Access 시간(TAVQV)은 E에서 출력까지 Delay(TELQV)와 같다. E가 Low 이고 어드레스가 최소 TAVQV-TGLQV 동안 안정되었다면, 데이터는 G의 하강 Edge에서 TGLQV 후에 출력된다.

M27C4001은 초기에 모든 비트가 1로 되어 있다. 프로그램은 선택된 비트를 0으로 바꿈으로써 이루어진다. 0으로 바뀐 비트를 다시 1로 바꾸는 유일한 방법은 Die를 자외선에 노출시키는 것이다. M27C4001는 VPP가 12.75V, G가 High, E가 Low 펄스일 때 프로그래밍 모드에 들어간다. 이때 어드레스와 데이터 입력은 TTL 레벨이고, VCC는 6.25V 이다.

5.4. K6R1016V1C-T12

CPU 장착 버전에서 External RAM으로 적용되며, 120n sec, One wait state accessed 64K x 32bit Fast SRAM이다.

5.5. UDN2543B

Allegro사의 Power Driver Series 디바이스로 내부 역류 방지 및 과전류 보호 회로가 내장된 4 채널의 Open collector Output을 가지며, 24V 전압에서 Max 700mA/CH까지 출력이 가능하다.

5.6. TLP620-4

Photocoupler로서 채널 절연으로 사용되며, 4채널의 optical isolation을 가지며, 5,000Vrms의 절연 내압으로 최고 동작 가능 입력 전압은 55V이다.

5.7. 74LS641-1

Bidirectional Open collector 출력을 내는 디바이스로 5V에서 동작하며, 8채널의 Open collector Output을 가지며 Max 48mA/CH이 가능하다. 대체품으로 단방향 디바이스인 74LS645-1도 적용이 가능하다.

6. 주의 사항



CAUTION

- VME Rack에서 가장 왼쪽에 위치한 보드는 System Controller로 설정할 것.
- System Controller 보드는 하나의 Rack에 하나만 장착할 것.
- System Controller 보드 이외의 보드는 마스터/Slave 보드로 설정할 것.
- LKV-520 보드가 장착되는 Rack의 GND는 FGND와 직접 연결 하거나 Capacitor를 통해 연결할 것.



WARNING

- LKV-520 보드는 정전기(Electrostatic Discharge)에 취약할 수 있으니, 보드 취급 시 주의할 것.
- LKV-520 보드를 Rack에 장착할 시에는 가능하면 전원을 끄고 작업할 것.
- Rack이 접지되지 않았을 경우 감전의 우려가 있으므로, 반드시 접지 여부를 확인하고, 물이나 땀이 묻은 손으로 작업하지 말 것.



주엘케이일레븐

138-809 서울특별시 송파구 가락2동 545-5번지 동명빌딩 3층

<http://www.lk11.com>, 전화:02-3012-3788